

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant:	Yoshinori MATSUI	Examiner:	Unassigned
Serial No.:	Unassigned	Group Art Unit:	Unassigned
Filed:	Herewith	Docket:	16983
For:	MEMORY SYSTEM AND DATA TRANSMISSION METHOD	Dated:	August 22, 2003


Commissioner for Patents
P. O. Box 1450
Alexandria, VA 223131450

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. §119 and in support thereof, herewith submits a certified copy of Japanese Patent Application No. 2002-244322, filed on August 23, 2002.

Respectfully submitted,


Paul J. Esatto, Jr., Reg. No. 30,749

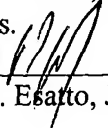
Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343
PJE:ahs

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Mailing Label Number:	EV 267607610US
Date of Deposit:	August 22, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service Express Mail Post Office to Addressee service under 37 C.F.R. §1.10 on the date indicated above and is addressed to the Commissioner For Patents, P.O. Box 1450, Alexandria, VA 22313-1450, Attn: Mail Stop New Patent Applications.

Dated: August 22, 2003


Paul J. Esatto, Jr.

05

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 8 月 2 3 日
Date of Application:

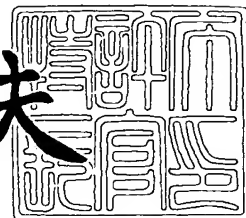
出 願 番 号 特 願 2 0 0 2 - 2 4 4 3 2 2
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 4 4 3 2 2]

出 願 人 エルピーダメモリ株式会社
Applicant(s):

2 0 0 3 年 7 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 5 9 5 4 8

【書類名】 特許願

【整理番号】 22310245

【提出日】 平成14年 8月23日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 7/00

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ
株式会社内

【氏名】 松井 義徳

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0110118

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリシステム及びデータ伝送方法

【特許請求の範囲】

【請求項 1】 複数のメモリ回路を搭載したモジュールと、前記複数のメモリ回路を制御するコントローラとを備えたメモリシステムにおいて、前記モジュールには、前記コントローラとデータ伝送用のデータ配線によって接続された少なくとも一つのバッファが搭載されており、前記モジュールでは、前記バッファと前記複数のメモリ回路とが内部データ配線によって接続されていることを特徴とするメモリシステム。

【請求項 2】 請求項 1 において、前記モジュールには、前記バッファが複数個配置されており、複数のバッファはそれぞれ前記データ配線により、前記コントローラと接続されていることを特徴とするメモリシステム。

【請求項 3】 請求項 1 又は 2 において、前記バッファは、更に、コマンド・アドレス配線及びクロック配線によって、前記コントローラと接続されていることを特徴とするメモリシステム。

【請求項 4】 請求項 3 において、前記バッファは、前記コマンド・アドレス配線及びクロック配線にそれぞれ対応した内部コマンド・アドレス配線及び内部クロック配線により、前記モジュールの各メモリ回路と接続されていることを特徴とするメモリシステム。

【請求項 5】 請求項 4 において、前記内部コマンド・アドレス配線及び前記内部クロック配線は前記モジュールの複数のメモリ回路に共通に使用されることを特徴とするメモリシステム。

【請求項 6】 請求項 1 乃至 5 のいずれかにおいて、前記メモリ回路は、DRAM であり、前記メモリコントローラと前記バッファとの間の前記データ配線には、双方向にデータが送受されることを特徴とするメモリシステム。

【請求項 7】 複数のメモリ回路をそれぞれ搭載した複数のモジュールと、前記複数のモジュールの各メモリ回路を制御するコントローラとを備えたメモリシステムにおいて、前記各モジュールには、少なくとも一つのバッファが設けられており、当該各モジュールのバッファは、他のモジュールのバッファ及び／又

は前記コントローラとデータ伝送用のデータ配線により接続されていることを特徴とするメモリシステム。

【請求項 8】 請求項 7 において、前記各モジュールのバッファは、他のモジュールのバッファ及び／又は前記コントローラとコマンド・アドレス配線及びクロック配線によって接続されていることを特徴とするメモリシステム。

【請求項 9】 請求項 7 又は 8 において、前記データ配線は、前記複数のモジュール上のバッファと前記メモリコントローラとをカスケード接続することによってデジチェーンを構成していることを特徴とするメモリシステム。

【請求項 10】 請求項 7 において、前記複数のモジュールの各バッファは、前記データ配線により、直接、前記メモリコントローラに接続されていることを特徴とするメモリシステム。

【請求項 11】 請求項 10 において、前記複数のモジュールの各バッファは、更に、コマンド・アドレス配線及びクロック配線によって、直接、前記メモリコントローラに接続されていることを特徴とするメモリシステム。

【請求項 12】 請求項 11 において、前記データ配線、前記コマンド・アドレス配線、及び前記クロック配線により、直接、前記メモリコントローラに接続された前記モジュールのバッファに対して、データ配線、コマンド・アドレス配線、及びクロック配線によりカスケード接続された他のモジュール上に配列されたバッファとを有することを特徴とするメモリシステム。

【請求項 13】 請求項 8 乃至 12 のいずれかにおいて、前記各モジュールの複数のメモリ回路は、複数のランクに区分されており、同一ランクに属する複数モジュールの前記メモリ回路は同時にアクセスの対象となることを特徴とするメモリシステム。

【請求項 14】 請求項 12 又は 13 のいずれかにおいて、前記データ配線上のデータ伝送速度は、前記各モジュール上の前記バッファと各メモリ回路間の内部データ配線上のデータ伝送速度より速いことを特徴とするメモリシステム。

【請求項 15】 請求項 14 において、前記コマンド・アドレス配線及び前記クロック配線上の伝送速度は、当該コマンド・アドレス配線及びクロック配線にそれぞれ対応して前記バッファと各メモリ回路間の伝送速度よりも速いことを

特徴とするメモリシステム。

【請求項 16】 請求項 14 において、前記データ配線には、複数のモジュールのバッファに対するデータがパケット化されて伝送され、前記バッファではパケット化されたデータを分離することを特徴とするメモリシステム。

【請求項 17】 請求項 15 において、前記コマンド・アドレス配線及び前記クロック配線は、複数のモジュールのバッファに対するコマンド・アドレス及びクロックがパケット化して伝送され、前記バッファは、前記コマンド・アドレスを分離すると共にクロックを分周する機能を備えていることを特徴とするメモリシステム。

【請求項 18】 バッファ及び当該バッファに接続されたメモリ回路とを搭載したモジュールと、該モジュール上の前記バッファに接続されたメモリコントローラとを備え、前記メモリコントローラと前記バッファとの間の伝送速度は、前記モジュール上の前記バッファと、当該バッファに接続されたメモリ回路との間の伝送速度より速いことを特徴とするメモリシステム。

【請求項 19】 請求項 18 において、前記バッファを有するモジュールは、複数個配列されており、前記各モジュールのバッファは、前記メモリコントローラに対して、順次、データ配線、コマンド・アドレス配線、及び、クロック配線により、カスケード接続され、更に、各モジュールでは、前記メモリ回路と前記バッファとが内部データ配線、内部コマンド・アドレス配線、及び、内部クロック配線によって接続され、前記データ配線、コマンド・アドレス配線、及び、クロック配線上の伝送速度は、前記内部データ配線、内部コマンド・アドレス配線、及び、内部クロック配線上の伝送速度よりも速いことを特徴とするメモリシステム。

【請求項 20】 請求項 19 において、前記各モジュールに搭載される前記メモリ回路は、DRAM であり、該各モジュール上において、当該モジュールのバッファと DRAM との間には、互いに衝突しないタイミングで双方向にデータフェーズ信号が送信されており、前記 DRAM 及びバッファでは、受信したデータフェーズ信号を基準として、内部クロックを生成し、該内部クロックにしたがって、データの受送信を行うことを特徴とするメモリシステム。

【請求項 2 1】 第 1 の内部クロックにしたがってデータの受信を行う第 1 のデバイスと、第 2 の内部クロックにしたがってデータの受信を行う第 2 のデバイスとを備え、第 1 及び第 2 のデバイスとの間で、双方向にデータの送受を行うデータ伝送方法において、第 1 及び第 2 のデバイス間で、同一配線上に、互いに衝突しないタイミングで連続的に第 1 及び第 2 のデータフェーズ信号を双方向に送信しておき、第 1 のデバイスでは、前記第 1 のデータフェーズ信号のタイミングを参照して、データを第 2 のデバイスに送信し、他方、第 2 のデバイスでは、前記第 2 のデータフェーズ信号のタイミングを参照して、データを第 1 のデバイスに送信することを特徴とするデータ伝送方法。

【請求項 2 2】 請求項 2 1 において、前記第 2 のデバイスでは、受信した第 1 のデータフェーズ信号にしたがって、前記第 2 の内部クロックを生成し、該第 2 の内部クロックにしたがって、前記第 1 のデバイスからのデータを受信する一方、前記第 1 のデバイスでは、受信した第 2 のデータフェーズ信号にしたがって、前記第 1 の内部クロックを生成し、該第 1 の内部クロックにしたがって、前記第 2 のデータフェーズ信号を生成すると共に、第 2 のデバイスからのデータを受信することを特徴とするデータ伝送方法。

【請求項 2 3】 請求項 2 1 又は 2 2 において、前記第 1 のデバイスでは、双方向に伝送される第 1 及び第 2 のデータフェーズ信号のうち、当該第 1 のデバイスから出力される第 1 のデータフェーズ信号をサブレスし、他方、前記第 2 のデバイスでは、双方向に伝送される第 1 及び第 2 のデータフェーズ信号のうち、当該第 2 のデバイスから出力される第 2 のデータフェーズ信号をサブレスすることを特徴とするデータ伝送方法。

【請求項 2 4】 請求項 2 1 乃至 2 3 のいずれかにおいて、前記第 1 及び第 2 のデバイスは、それぞれ、バッファ及び D R A M であり、前記 D R A M には外部クロックが与えられており、当該外部クロックと受信した前記第 1 のデータフェーズ信号とにより、前記第 2 のクロックを生成することを特徴とするデータ伝送方法。

【請求項 2 5】 請求項 2 1 乃至 2 3 のいずれかにおいて、前記第 1 及び第 2 のデバイスは、D L L を使用して、前記第 2 及び第 1 のデータフェーズ信号か

ら第 1 及び第 2 の内部クロックを生成することを特徴とするデータ伝送方法。

【請求項 2 6】 第 1 及び第 2 のデバイスとの間で、データの送受を行うデータ伝送システムにおいて、第 1 及び第 2 のデバイスの送信側は、前記データの送信の際、前記データの送信とは無関係に連続的に、前記データの所定の位相をあらわすデータフェーズ信号を送信する手段を備え、前記第 1 及び第 2 のデバイスの受信側は、前記データフェーズ信号に基づいて、前記受信側の内部クロックを再生し、再生された内部クロックにしたがって前記データを受信する手段を備えていることを特徴とするデータ伝送システム。

【請求項 2 7】 第 1 及び第 2 のデバイスとの間で、双方向にデータの送受を行うデータ伝送システムにおいて、第 1 及び第 2 のデバイスは、それぞれ、前記データの送信の際、前記データの送信とは無関係に連続的に、前記データの所定の位相をあらわすデータフェーズ信号を送信し、当該データフェーズに基づいて、前記データを送信する送信手段を備え、前記第 1 及び第 2 のデバイスは、それぞれ、前記データフェーズ信号に基づいて、前記受信側の内部クロックを再生し、再生された内部クロックにしたがって前記データを受信する受信手段を備えていることを特徴とするデータ伝送システム。

【請求項 2 8】 請求項 2 7 において、前記第 1 及び第 2 のデバイスは、それぞれ、バッファ及び D R A M であり、前記バッファの送信手段は、前記データフェーズ信号として、前記 D R A M に対して、書込データフェーズ信号を出力する手段を有すると共に、前記バッファの受信手段は、前記データフェーズ信号として、前記 D R A M からの読出データフェーズ信号を受信する手段を有しており、前記 D R A M の受信手段は、前記書込データフェーズ信号から、前記データ受信用の内部クロックを再生する手段と、当該再生された内部クロックに応じて、前記データを受信する手段とを備え、更に、前記 D R A M の送信手段は、受信した前記書込データフェーズ信号に依存したタイミングで、前記データフェーズ信号として、読出データフェーズ信号を出力する手段を有していることを特徴とするデータ伝送システム。

【請求項 2 9】 請求項 2 8 において、前記書込データフェーズ信号及び前記読出データフェーズ信号とは互いに異なるタイミングで、双方向に、同一の信

号線上に送信されることを特徴とするデータ伝送システム。

【請求項 30】 請求項 28 において、前記書込データフェーズ信号及び前記読出データフェーズ信号とは互いに異なるタイミングで、双方向に、互いに異なる信号線上に送信されることを特徴とするデータ伝送システム。

【請求項 31】 請求項 28 乃至 30 のいずれかにおいて、前記バッファの前記読出データフェーズ信号受信手段は、バッファ内部クロックと前記読出データフェーズ信号とからデータ受信用バッファ内部クロックを再生する手段を備え、他方、前記 DRAM の読出データフェーズ信号出力手段は、外部クロックと、受信した前記書込データフェーズ信号とから前記読出データフェーズ信号を出力する DRAM 内部クロックを再生する手段を有していることを特徴とするデータ伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高速で動作を可能にする構成を備えたメモリシステム、及び、当該メモリシステムに使用されるデータ伝送方法に関する。

【0002】

【従来の技術】

従来、この種のメモリシステムにおいては、高速且つ低信号振幅で動作させるインタフェースが検討され、このインタフェースの規格として、SSTL (Stub Series Terminated Transceiver Logic) が提案されている。また、DRAM をメモリ装置として備えたメモリシステムでは、DRAM をより高速で動作させるために、クロックの立ち上がり（前縁）と立下り（後縁）の双方のエッジに同期してデータを入出力することにより、データ伝送速度を 2 倍にできる DDR (Double Data Rate) 方式を採用したものも提案されている。

【0003】

従来、上記した SSTL 及び DDR を採用したメモリシステムとして、マザーボード上に、複数のメモリモジュールを取り付け、これら複数のメモリモジュールをチップセットと呼ばれるメモリコントローラによって制御する形式のメモリ

システムが提案されている。この場合、各メモリモジュール上には、複数の D R A M が搭載されている。

【 0 0 0 4 】

この種のメモリシステムとして、特開 2 0 0 1 - 2 5 6 7 7 2（以下、引用文献 1 と呼ぶ）は、複数の D R A M を搭載したメモリモジュールを複数個マザーボード上に取り付けたメモリシステムを開示している。開示されたメモリモジュールは、矩形形状のメモリモジュール基板の長手方向に並列に配置された複数の D R A M と、複数の D R A M の間に配置されたコマンド・アドレスバッファ、及び、クロックを各 D R A M に分配する P L L チップとを備えている。メモリモジュール上の各 D R A M は、モジュール基板の短辺方向に延びるモジュールデータ配線に接続され、コマンド・アドレスバッファ及び P L L チップは、それぞれモジュール基板の短辺方向に延びるモジュールコマンド・アドレス配線及びモジュールクロック配線に接続されている。更に、コマンド・アドレスバッファ及び P L L チップから各 D R A M に対して、コマンド・アドレス及びクロックを分配するために、モジュールコマンド・アドレス分配配線及びモジュールクロック分配配線がモジュール基板の長辺方向に引き出されている。

【 0 0 0 5 】

この構成では、データ信号は、モジュール基板上に設けられたメモリコントローラから、各メモリモジュール上の D R A M に対して直接与えられ、コマンド・アドレス信号及びクロック信号は、メモリコントローラからそれぞれコマンド・アドレスバッファ及び P L L チップを介して各メモリモジュール上の D R A M に与えられる。上記したメモリモジュールを使用したメモリシステムは、単一のメモリモジュールを考慮した場合、マザーボード上の信号配線に対してメモリモジュール上において殆ど分岐配線を形成する必要がないため、分岐配線で生じる好ましくない信号反射による波形の乱れを軽減できるという利点がある。更に、アクセス時間を短縮できるという利点もある。

【 0 0 0 6 】

また、特開平 1 0 - 2 9 3 6 3 5 号公報（以下、引用文献 2 と呼ぶ）には、メモリコントローラと複数のメモリモジュールとをマザーボード上に搭載したメモ

リシステムが開示されている。開示されたメモリシステムは、メモリコントローラから出力されるクロック信号とデータ信号との伝搬時間を揃えることにより、各メモリモジュールのセットアップ時間、ホールド時間を確保し、高速信号転送を可能にしている。更に、引用文献 2 には、クロックを安定に供給する方法として、メモリモジュール又はメモリ L S I 内で、入力されたクロックの 2 通倍のクロックを生成し、生成されたクロックに同期して S D R A M の信号及び出力を制御することも記載されている。このため、引用文献 2、図 2 8 には、メモリコントローラで周波数 2ϕ のクロックを発生し、当該クロックを周波数 ϕ に 2 分周してメモリモジュールに伝送することが記載されている。

【0 0 0 7】

また、引用文献 2、図 3 4 には、メモリコントローラからのクロック周波数をメモリモジュールにおいて 2 倍にして、メモリモジュールのメモリに供給することも記載されている。このように、引用文献 2 は、メモリコントローラとメモリモジュールとの間では、所定周波数のクロックを送受し、当該クロックを S D R A M のようなメモリ或いはメモリコントローラにおいて、当該所定周波数のクロックを 2 倍の周波数にすることが開示されている。換言すれば、引用文献 2 では、メモリ内のクロック周波数よりも低い周波数をメモリモジュールとメモリコントローラ間で送受することが記載されている。

【0 0 0 8】

【発明が解決しようとする課題】

引用文献 1 に記載されたメモリモジュールのように、モジュール基板に短辺方向に延びるモジュールデータ配線と、コマンド・アドレスバッファ及び P L L チップからそれぞれ D R A M 上に引き出されるモジュールコマンド・アドレス分配配線及びモジュールクロック分配配線とは長さが異なるため、データは、コマンド・アドレス及びクロック信号との異なるタイミングで各 D R A M に到達することになり、タイミングの調整が困難である。

【0 0 0 9】

また、引用文献 2 のように、メモリモジュール内のクロック周波数よりも低い周波数のクロックをメモリコントローラとメモリモジュールとの間で送受したの

では、データの転送時間が長くなってしまう。更に、引用文献2の構成では、データの転送速度はメモリの動作速度を越えることができないため、高速化並びに搭載できるメモリモジュールの数に限界が生じてしまう。また、両引用文献は、メモリコントローラとメモリモジュール間で、データを高速に伝送する手法について何等開示していない。

【0010】

本発明の目的は、各メモリモジュール内におけるデータと、コマンド・アドレス、クロック信号とのタイミングの調整を容易に行うことができるメモリシステムを提供することである。

【0011】

本発明の他の目的は、分岐及びインピーダンスミスマッチによる反射信号を低減でき、結果として、高速で動作可能なメモリシステムを提供することである。

【0012】

本発明の更に他の目的は、モジュール内に設けられた2つの回路間で、高速でデータを転送できるデータ転送方法を提供することである。

【0013】

本発明の具体的な目的は、メモリモジュール内のバッファとDRAMとの間でデータを高速で転送できるデータ転送方法を提供することである。

【0014】

【課題を解決するための手段】

本発明によれば、メモリモジュール上に予め定められた機能を有するバッファを搭載する一方、メモリコントローラとメモリモジュール、メモリモジュールとメモリモジュール間をポイント・ツー・ポイント接続としたメモリシステムが得られる。この構成によれば、高周波での信号品質を改善できると共に、バッファとDRAM間のメモリモジュール上の各信号配線は、電氣的に無視できる分岐だけで、他の電氣的に影響のある分岐を持たない配線レイアウトにより結線でき、結果的に信号品質を改善することができる。

【0015】

更に、本発明によれば、各メモリモジュール上において、双方向データフェー

ズ信号によるデータ送受信方式を用いることにより、より高速のメモリシステムを実現できる。

【0 0 1 6】

ここで、メモリモジュール上に単独あるいは複数備えられた本発明に係るバッファについて説明しておく。メモリモジュール上に備えられたバッファには、メモリコントローラとメモリモジュール間、メモリモジュールとメモリモジュール間のデータ配線が、グループ化された形で接続されている。複数のメモリモジュールを備えたメモリシステムでは、隣接するメモリモジュール上のバッファがデータ線により互いにポイント・ツー・ポイントで接続されている。この場合、DRAMのデータ周波数に対して n 倍速でデータ信号が、データ線上に伝達される。また、パケットに圧縮されることにより多重化されたデータ線の本数は $1/n$ 本程度に削減される（実際には割り切れない場合等があるので必ずしも $1/n$ ではない）。

【0 0 1 7】

一方、コマンド・アドレス配線は、データ配線のグループ毎に、メモリコントローラと各メモリモジュールのバッファ間に接続されており、データ配線と同様にメモリコントローラとメモリモジュール間、メモリモジュールとメモリモジュール間には、互いにポイント・ツー・ポイントで接続されている。コマンド・アドレス信号はDRAMのコマンド・アドレス信号周波数に対して m 倍速で信号伝達され、また、パケットに圧縮されると、信号線の本数は $1/m$ 程度に削減される（この場合も、実際には割り切れない場合等があるので必ずしも $1/m$ ではない）。

【0 0 1 8】

各メモリモジュール上に設けられたバッファは、メモリコントローラ或いは前段メモリモジュールからのデータ、コマンド・アドレス信号を受信し、メモリモジュール上のDRAMに対して、データ、コマンド・アドレス信号のパケットをエンコードして、DRAMに対応する信号数にし、 $1/n$ 、 $1/m$ 倍の周波数で送信する機能を有する。更に、カスケード接続される次段メモリモジュールに対してコマンド・アドレス信号を伝達送信する機能、また、次段メモリモジュール

とデータ信号を双方向で受送信する機能をもバッファには備えられている。メモリモジュール上の各信号は電氣的に無視できる分岐以外を有さない配線レイアウトで結線される。データ、コマンド・アドレス信号の packets 送信先の識別はメモリモジュール ID 信号により行われる。

【0019】

以下、本発明の特徴となる態様を列挙する。

【0020】

本発明の第1の態様によれば、複数のメモリ回路を搭載したメモリモジュールと、前記複数のメモリ回路を制御するコントローラとを備えたメモリシステムにおいて、前記メモリモジュールには、前記コントローラとデータ伝送用のデータ配線によって接続された少なくとも一つのバッファが搭載されており、前記メモリモジュールでは、前記バッファと前記複数のメモリ回路とが内部データ配線によって接続されていることを特徴とするメモリシステムが得られる。

【0021】

本発明の第2の態様によれば、第1の態様において、前記メモリモジュールには、前記バッファが複数個配置されており、複数のバッファはそれぞれ前記データ配線により、前記コントローラと接続されていることを特徴とするメモリシステムが得られる。

【0022】

本発明の第3の態様によれば、第1又は第2の態様において、前記バッファは、更に、コマンド・アドレス配線及びクロック配線によって、前記コントローラと接続されていることを特徴とするメモリシステムが得られる。

【0023】

本発明の第4の態様によれば、第3の態様において、前記バッファは、前記コマンド・アドレス配線及びクロック配線にそれぞれ対応した内部コマンド・アドレス配線及び内部クロック配線により、前記メモリモジュールの各メモリ回路と接続されていることを特徴とするメモリシステムが得られる。

【0024】

本発明の第5の態様によれば、第4の態様において、前記内部コマンド・アド

レス配線及び前記内部クロック配線は前記モジュールの複数のメモリ回路に共通に使用されることを特徴とするメモリシステムが得られる。

【 0 0 2 5 】

本発明の第 6 の態様によれば、第 1 乃至 5 の態様のいずれかにおいて、前記メモリ回路は、D R A M であり、前記メモリコントローラと前記バッファとの間の前記データ配線には、双方向にデータが送受されることを特徴とするメモリシステムが得られる。

【 0 0 2 6 】

本発明の第 7 の態様によれば、複数のメモリ回路をそれぞれ搭載した複数のモジュールと、前記複数のモジュールの各メモリ回路を制御するコントローラとを備えたメモリシステムにおいて、前記各モジュールには、少なくとも一つのバッファが設けられており、当該各モジュールのバッファは、他のモジュールのバッファ及び／又は前記コントローラとデータ伝送用のデータ配線により接続されていることを特徴とするメモリシステムが得られる。

【 0 0 2 7 】

本発明の第 8 の態様によれば、第 7 の態様において、前記各モジュールのバッファは、他のモジュールのバッファ及び／又は前記コントローラとコマンド・アドレス配線及びクロック配線によって接続されていることを特徴とするメモリシステムが得られる。

【 0 0 2 8 】

本発明の第 9 の態様によれば、第 7 又は 8 の態様において、前記データ配線は、前記複数のモジュール上のバッファと前記メモリコントローラとをカスケード接続することによってディジーチェーンを構成していることを特徴とするメモリシステムが得られる。

【 0 0 2 9 】

本発明の第 1 0 の態様によれば、第 7 の態様において、前記複数のモジュールの各バッファは、前記データ配線により、直接、前記メモリコントローラに接続されていることを特徴とするメモリシステムが得られる。

【 0 0 3 0 】

本発明の第 1 1 の態様によれば、第 1 0 の態様において、前記複数のモジュールの各バッファは、更に、コマンド・アドレス配線及びクロック配線によって、直接、前記メモリコントローラに接続されていることを特徴とするメモリシステムが得られる。

【 0 0 3 1 】

本発明の第 1 2 の態様によれば、第 1 1 の態様において、前記データ配線、前記コマンド・アドレス配線、及び前記クロック配線により、直接、前記メモリコントローラに接続された前記モジュールのバッファに対して、データ配線、コマンド・アドレス配線、及びクロック配線によりカスケード接続された他のモジュール上に配列されたバッファとを有することを特徴とするメモリシステムが得られる。

【 0 0 3 2 】

本発明の第 1 3 の態様によれば、第 8 乃至 1 2 の態様のいずれかにおいて、前記各モジュールの複数のメモリ回路は、複数のランクに区分されており、同一ランクに属する複数モジュールの前記メモリ回路は同時にアクセスの対象となることを特徴とするメモリシステムが得られる。

【 0 0 3 3 】

本発明の第 1 4 の態様によれば、第 1 2 又は 1 3 の態様のいずれかにおいて、前記データ配線上のデータ伝送速度は、前記各モジュール上の前記バッファと各メモリ回路間の内部データ配線上のデータ伝送速度より速いことを特徴とするメモリシステムが得られる。

【 0 0 3 4 】

本発明の第 1 5 の態様によれば、第 1 4 の態様において、前記コマンド・アドレス配線及び前記クロック配線上の伝送速度は、当該コマンド・アドレス配線及びクロック配線にそれぞれ対応して前記バッファと各メモリ回路間の伝送速度よりも速いことを特徴とするメモリシステムが得られる。

【 0 0 3 5 】

本発明の第 1 6 の態様によれば、第 1 4 の態様において、前記データ配線には、複数のモジュールのバッファに対するデータがパケット化されて伝送され、前

記バッファではパケット化されたデータを分離することを特徴とするメモリシステムが得られる。

【0036】

本発明の第17の態様によれば、第15の態様において、前記コマンド・アドレス配線及び前記クロック配線は、複数のモジュールのバッファに対するコマンド・アドレス及びクロックがパケット化して伝送され、前記バッファは、前記コマンド・アドレスを分離すると共にクロックを分周する機能を備えていることを特徴とするメモリシステムが得られる。

【0037】

本発明の第18の態様によれば、バッファ及び当該バッファに接続されたメモリ回路とを搭載したモジュールと、該モジュール上の前記バッファに接続されたメモリコントローラとを備え、前記メモリコントローラと前記バッファとの間の伝送速度は、前記モジュール上の前記バッファと、当該バッファに接続されたメモリ回路との間の伝送速度より速いことを特徴とするメモリシステムが得られる。

【0038】

本発明の第19の態様によれば、第18の態様において、前記バッファを有するモジュールは、複数個配列されており、前記各モジュールのバッファは、前記メモリコントローラに対して、順次、データ配線、コマンド・アドレス配線、及び、クロック配線により、カスケード接続され、更に、各モジュールでは、前記メモリ回路と前記バッファとが内部データ配線、内部コマンド・アドレス配線、及び、内部クロック配線によって接続され、前記データ配線、コマンド・アドレス配線、及び、クロック配線上の伝送速度は、前記内部データ配線、内部コマンド・アドレス配線、及び、内部クロック配線上の伝送速度よりも速いことを特徴とするメモリシステムが得られる。

【0039】

本発明の第20の態様によれば、第19の態様において、前記各モジュールに搭載される前記メモリ回路は、DRAMであり、該各モジュール上において、当該モジュールのバッファとDRAMとの間には、互いに衝突しないタイミングで

双方向にデータフェーズ信号が送信されており、前記DRAM及びバッファでは、受信したデータフェーズ信号を基準として、内部クロックを生成し、該内部クロックにしたがって、データの受送信を行うことを特徴とするメモリシステムが得られる。

【0040】

本発明の第21の態様によれば、第1の内部クロックにしたがってデータの受信を行う第1のデバイスと、第2の内部クロックにしたがってデータの受信を行う第2のデバイスとを備え、第1及び第2のデバイスとの間で、双方向にデータの送受を行うデータ伝送方法において、第1及び第2のデバイス間で、同一配線上に、互いに衝突しないタイミングで連続的に第1及び第2のデータフェーズ信号を双方向に送信しておき、第1のデバイスでは、前記第1のデータフェーズ信号のタイミングを参照して、データを第2のデバイスに送信し、他方、第2のデバイスでは、前記第2のデータフェーズ信号のタイミングを参照して、データを第1のデバイスに送信することを特徴とするデータ伝送方法が得られる。

【0041】

本発明の第22の態様によれば、第21の態様において、前記第2のデバイスでは、受信した第1のデータフェーズ信号にしたがって、前記第2の内部クロックを生成し、該第2の内部クロックにしたがって、前記第1のデバイスからのデータを受信する一方、前記第1のデバイスでは、受信した第2のデータフェーズ信号にしたがって、前記第1の内部クロックを生成し、該第1の内部クロックにしたがって、前記第2のデータフェーズ信号を生成すると共に、第2のデバイスからのデータを受信することを特徴とするデータ伝送方法が得られる。

【0042】

本発明の第23の態様によれば、第21又は22の態様において、前記第1のデバイスでは、双方向に伝送される第1及び第2のデータフェーズ信号のうち、当該第1のデバイスから出力される第1のデータフェーズ信号をサブレスし、他方、前記第2のデバイスでは、双方向に伝送される第1及び第2のデータフェーズ信号のうち、当該第2のデバイスから出力される第2のデータフェーズ信号をサブレスすることを特徴とするデータ伝送方法が得られる。

【0 0 4 3】

本発明の第 2 4 の態様によれば、第 2 1 乃至 2 3 の態様のいずれかにおいて、前記第 1 及び第 2 のデバイスは、それぞれ、バッファ及び D R A M であり、前記 D R A M には外部クロックが与えられており、当該外部クロックと受信した前記第 1 のデータフェーズ信号とにより、前記第 2 のクロックを生成することを特徴とするデータ伝送方法が得られる。

【0 0 4 4】

本発明の第 2 5 の態様によれば、第 2 1 乃至 2 3 の態様のいずれかにおいて、前記第 1 及び第 2 のデバイスは、D L L を使用して、前記第 2 及び第 1 のデータフェーズ信号から第 1 及び第 2 の内部クロックを生成することを特徴とするデータ伝送方法が得られる。

【0 0 4 5】

本発明の第 2 6 の態様によれば、第 1 及び第 2 のデバイスとの間で、データの送受を行うデータ伝送システムにおいて、第 1 及び第 2 のデバイスの送信側は、前記データの送信の際、前記データの送信とは無関係に連続的に、前記データの所定の位相をあらわすデータフェーズ信号を送信する手段を備え、前記第 1 及び第 2 のデバイスの受信側は、前記データフェーズ信号に基づいて、前記受信側の内部クロックを再生し、再生された内部クロックにしたがって前記データを受信する手段を備えていることを特徴とするデータ伝送システムが得られる。

【0 0 4 6】

本発明の第 2 7 の態様によれば、第 1 及び第 2 のデバイスとの間で、双方向にデータの送受を行うデータ伝送システムにおいて、第 1 及び第 2 のデバイスは、それぞれ、前記データの送信の際、前記データの送信とは無関係に連続的に、前記データの所定の位相をあらわすデータフェーズ信号を送信し、当該データフェーズに基づいて、前記データを送信する送信手段を備え、前記第 1 及び第 2 のデバイスは、それぞれ、前記データフェーズ信号に基づいて、前記受信側の内部クロックを再生し、再生された内部クロックにしたがって前記データを受信する受信手段を備えていることを特徴とするデータ伝送システムが得られる。

【0 0 4 7】

本発明の第28の態様によれば、第27の態様において、前記第1及び第2のデバイスは、それぞれ、バッファ及びDRAMであり、前記バッファの送信手段は、前記データフェーズ信号として、前記DRAMに対して、書込データフェーズ信号を出力する手段を有すると共に、前記バッファの受信手段は、前記データフェーズ信号として、前記DRAMからの読出データフェーズ信号を受信する手段を有しており、前記DRAMの受信手段は、前記書込データフェーズ信号から、前記データ受信用の内部クロックを再生する手段と、当該再生された内部クロックに応じて、前記データを受信する手段とを備え、更に、前記DRAMの送信手段は、受信した前記書込データフェーズ信号に依存したタイミングで、前記データフェーズ信号として、読出データフェーズ信号を出力する手段を有していることを特徴とするデータ伝送システムが得られる。

【0048】

本発明の第29の態様によれば、第28の態様において、前記書込データフェーズ信号及び前記読出データフェーズ信号とは互いに異なるタイミングで、双方向に、同一の信号線上に送信されることを特徴とするデータ伝送システムが得られる。

【0049】

本発明の第30の態様によれば、第28の態様において、前記書込データフェーズ信号及び前記読出データフェーズ信号とは互いに異なるタイミングで、双方向に、互いに異なる信号線上に送信されることを特徴とするデータ伝送システムが得られる。

【0050】

本発明の第31の態様によれば、第28乃至30の態様のいずれかにおいて、前記バッファの前記読出データフェーズ信号受信手段は、バッファ内部クロックと前記読出データフェーズ信号とからデータ受信用バッファ内部クロックを再生する手段を備え、他方、前記DRAMの読出データフェーズ信号出力手段は、外部クロックと、受信した前記書込データフェーズ信号とから前記読出データフェーズ信号を出力するDRAM内部クロックを再生する手段を有していることを特徴とするデータ伝送システムが得られる。

【0051】

【発明の実施の形態】

図1及び図2を参照すると、本発明の第1の実施形態に係るメモリシステムの配線図及び実体図がそれぞれ示されている。更に、図3は、図1及び図2の一部における配線を詳細に説明するメモリシステムの一部断面図を示している。

【0052】

図2からも明らかな通り、本発明の第1の実施形態に係るメモリシステムは、マザーボード100上に取り付けられたメモリコントローラ101及びクロック発生器102（図1）とを備えている。また、マザーボード100には、複数のメモリモジュール103（図2及び図3では、4つのメモリモジュール103a、103b、103c、103d）がそれぞれモジュールコネクタ104（図3）を介して搭載されている。

【0053】

各メモリモジュール103（添字省略）は、モジュール基板上に搭載されたバッファ105、及び、図1及び図2に示されているように、複数のDRAM110とを備えている。図示された例では、バッファ105は、各メモリモジュール103に一つずつ配置され、メモリコントローラ101とバッファ105とは、データ配線（DQ）111、コマンド・アドレス配線（Cmd/Add）112、及び、クロック配線（CLK/CLKB）113によって接続されている。このことから明らかな通り、図1及び図2に示されたデータ配線111は、直接、各DRAM110に接続されず、バッファ105を介してメモリコントローラ101に接続されている。

【0054】

これらデータ配線111、コマンド・アドレス配線112、及び、クロック配線（CLK/CLKB）113は、図3に示されているように、メモリコントローラ101からメモリモジュール103aのバッファ105に接続され、当該メモリモジュール103aから次段のメモリモジュール103bのバッファ105に接続されている。以下、同様に、これらの配線は、メモリモジュール103c、103dのバッファ105に順次接続され、終端部を終端抵抗により終端され

、これによって、デジチェーンを形成していることが分かる。換言すれば、データ配線 111 等の配線は、メモリコントローラ 101 とメモリモジュール 103a 間、メモリモジュール 103a と 103b との間、メモリモジュール 103b と 103c との間、メモリモジュール 103c と 103d との間のバッファ 105 に接続され、更に、前段及び次段のバッファ 105 に対してポイント・ツー・ポイントでカスケード接続されている。

【0055】

図 2 に示されているように、データ配線 (DQ) 111、コマンド・アドレス配線 (Cmd/Add) 112、及び、クロック配線 113 はそれぞれマザーボード上の配線部分と、モジュール内のモジュール配線部分とに区分することができる。更に、図示されたメモリシステムでは、各メモリモジュール 103a ~ 103d を識別するモジュール識別信号 MID を伝送するモジュール識別用配線 114 も、メモリコントローラ 101 とバッファ 105 との間及びバッファ 105 間に施されている。

【0056】

図 1 に示すように、各メモリモジュール 103 内のバッファ 105 と、当該メモリモジュール 103 に搭載されている DRAM 110 とは、内部データ配線 111'、内部コマンド・アドレス配線 112'、及び、内部クロック配線 113' によって接続されている。ここで、内部データ配線 111' は、メモリモジュール 103 上の DRAM 110 と個々に接続されており、他方、内部コマンド・アドレス配線 112'、及び、内部クロック配線 113' は、それぞれ、バッファ 105 の左側又は右側に配置された DRAM 110 に対して共通に設けられている。

【0057】

次に、図示された DRAM 110 は、それぞれ、8 ビット単位でデータの書込、読出を行うことができる × 8 構成の DRAM であるものとする、各メモリモジュール 103 内において、各 DRAM 110 とバッファ 105 との間では、8 ビット単位で、データの送受が行われることになる。

【0058】

図示されたメモリシステムについて、より詳細に説明すると、各メモリモジュール103a、103bは、それぞれ、8個のDRAM110を備え、これら8個のDRAM110は、各メモリモジュール103a、103bのバッファ105の左右両側に、それぞれ、4個ずつ配置されている。更に、メモリコントローラ101とバッファ105との間及びバッファ105間のデータ配線111は、32ビット幅を有している。コマンド・アドレス信号及びモジュール識別信号MIDによって、メモリモジュール103a、103bのどちらかが選択されると、選択された例えば、メモリモジュール103a上の8つのDRAM110が活性化され、合計64ビット幅のデータが、8個のDRAM110とバッファ105との間で、送受可能な状態になる。

【0059】

一方、図1及び図2に破線で示されたDRAM110が各メモリモジュール103に加えられた場合、バッファ105の左側に4個のDRAM110、右側に5個のDRAMが配置され、メモリコントローラ101とバッファ105との間及びバッファ105間のデータ配線111は、36ビット幅を有している。この構成において、コマンド・アドレス信号及びモジュール識別信号MIDによって、メモリモジュール103a、103bのどちらかが選択されると、選択された例えば、メモリモジュール103a上の9つのDRAM110が活性化され、合計72ビット幅のデータが、9個のDRAM110とバッファ105との間で、送受可能な状態になる。

【0060】

このように、図1及び図2に示されたメモリシステムは、各メモリモジュール103a、103b上の8個又は9個のDRAM110が、同時的にアクセス可能なランクを形成していることが分かる。

【0061】

次に、図1及び図2を参照して、メモリコントローラ101とメモリモジュール103aとの間の配線、及び、隣接するメモリモジュール103間の配線について更に説明する。まず、データ配線111について説明すると、バッファ105とDRAM110間では、64ビット或いは72ビット幅のデータが内部配線

111' を介して送受されるにも拘わらず、メモリコントローラ101とバッファ105間、及び、バッファ105間のデータ配線111は、図1及び図2に示されているように、32ビット幅或いは36ビット幅である。

【0062】

このことは、データ配線111上には、DRAM110のデータ周波数、即ち、動作速度よりも速い伝送速度で多重化或いはパケットに圧縮されて、データ信号が送受されることを意味している。図示された例では、DRAM110の動作速度に対してn倍の速度で、データがデータ配線111上にデータが伝達されている（ここで、nは正整数である）。このように、パケットに圧縮されると、データ配線の本数は $1/n$ 本程度に削減される（実際には割り切れない場合等があるので必ずしも $1/n$ ではない）。

【0063】

他方、コマンド・アドレス配線112は、データ配線111と同様にメモリコントローラ101とメモリモジュール103との間、隣接したメモリモジュール103の間をポイント・ツー・ポイント接続している。コマンド・アドレス配線112には、コマンド・アドレス信号が、DRAM110のコマンド・アドレス信号周波数に対してm倍の速度（mは正整数）で信号伝達され、また、パケットに圧縮されると、当該信号線の本数は $1/m$ 程度に削減される（この場合も実際には割り切れない場合等があるので必ずしも $1/m$ ではない）。

【0064】

各メモリモジュール103上に設けられたバッファ105は、メモリコントローラ101、或いは、前段メモリモジュール103からのデータ、コマンド・アドレス信号を受信し、各メモリモジュール103上のDRAM110に対して、データ、コマンド・アドレス信号のパケットをエンコードしてDRAMに対応する信号数にする機能を備えている。また、バッファ105は、エンコードされたデータ、コマンド・アドレス信号を $1/n$ 、 $1/m$ 倍の周波数に分周し、DRAM110に送信する機能を有する。

【0065】

更に、バッファ105は、カスケード接続される次段メモリモジュール103

に対してコマンド・アドレス信号を伝達、送信する機能、次段メモリモジュールとデータ信号を双方向で受送信する機能、並びに、データ、コマンド・アドレス信号の packets 送信先をあらわすモジュール識別信号 MID を識別する機能をも備えている。バッファ 105 における分周、識別等の機能は、通常の技術を用いて容易に実現できるから、ここでは詳述しない。いずれにしても、メモリモジュール 103 上の各配線は電氣的に無視できる分岐以外を有さない配線レイアウトで結線される。

【0066】

次に、図 2 を参照して、各配線における伝送速度の具体例について説明する。先ず、各メモリモジュール 103 上の DRAM 110 は、SDRAM であるものとし、クロックの前縁及び後縁の双方に同期してデータの入出力を行う DDR (Double Data Rate) 方式を採用しているものとする。更に、各メモリモジュール 103 におけるバッファ 105 と各 DRAM 110 間の内部クロック配線 113' 上に、666 MHz の内部クロック周波数が与えられるものとする。内部データ配線 111' 上には、1.33 Gbps のデータ伝送速度、即ち、1.33 GHz のデータ周波数でデータが送受され、また、内部コマンド・アドレス配線 112' には、666 Mbps のコマンド・アドレス信号がバッファ 105 から供給される。

【0067】

この例では、マザーボード 100 に布線されたクロック配線 113 には、内部クロック周波数を 2 通倍した 1.33 GHz のクロック周波数を有するクロック 113 がメモリコントローラ 101 から与えられるものとする。図 2 に示されているように、データ配線 111 及びコマンド・アドレス配線 112 には、クロック周波数の 2 倍に等しい 2.66 Gbps の伝送速度で、データ及びコマンド・アドレス信号が供給され、内部データ配線 111' 及び内部コマンド・アドレス配線 112' の伝送速度は、それぞれ、1.33 Gbps 及び 666 Mbps である。したがって、図示された例は、 $n=2$ 、 $m=4$ の場合であることが分かる。

【0068】

このように、マザーボード上における信号を多重化し、高周波伝送を行うことにより、マザーボード上の配線数を減少させることができる。データ配線 111 は信号を 2 重化することで、1/2、コマンド・アドレス配線 112 は、信号を 4 重化することで、1/4 に減らすことができる。また、データを 2 重化することにより、32 ビット幅のデータ配線（又は 36 ビット幅のデータ配線）では、64 ビット（又は 72 ビット）構成のメモリシステムとして動作させることができる。

【0069】

図 1～3 に示されたメモリシステムは、モジュールコネクタ 104（図 3）からバッファ 105 に対して、32 又は 36 ビット幅のデータ信号を入出力するレイアウト構成が必要となる。前述したように、メモリモジュール 103 上の内部データ配線 111' と、内部クロック配線 113' 及びコマンド・アドレス配線 112' はともに電氣的に無視できる分岐以外を有さない配線レイアウトで結線されているが、内部データ配線 111' と、内部クロック配線 113' 及びコマンド・アドレス配線 112' に接続される DRAM の数が互いに異なるため、負荷の違いによる信号伝播時間の差が高周波数動作時に問題となることも考えられる。また、図 1 及び 2 から明らかな通り、クロックおよびコマンド・アドレス信号は、各メモリモジュール 103 上の全ての DRAM 110 に与えられるため、トータルの入力負荷が大きく、高周波数動作時に問題が生じることも考えられる。

【0070】

図 4 及び図 5 を参照すると、本発明の第 2 の実施形態に係るメモリシステムは、上記した第 1 の実施形態に係る問題を軽減できる構成を備えている。図示されたメモリシステムは、各メモリモジュール 103a～103d（図 5）に、2 つのバッファ 105a 及び 105b を備えている点で、第 1 の実施形態に係るメモリシステムとは異なっている。具体的に説明すると、メモリモジュール 103a 及び 103b のバッファ 105a 及び 105b は、その左右両側に配置された複数の DRAM 110a と、内部データ配線（DQ）111'、内部コマンド・アドレス配線 112'、及び、内部クロック配線 113' により接続されている。

【0071】

図示された例では、各メモリモジュール103内のDRAM110aは、バッファ105a又は105bと内部データ配線(DQ)111'により個別に接続され、更に、内部コマンド・アドレス配線112'及び内部クロック配線113'により、バッファ105a又は105bの左右に共通に接続されている。

【0072】

更に、各メモリモジュール103内のバッファ105a及び105bは、第1の実施形態と同様に、メモリコントローラ101又は次段のメモリモジュールと、データ配線111、コマンド・アドレス配線112、及び、クロック配線113により接続されている。この構成は図3に示された接続関係と同様であり、結果として、各メモリモジュール103のバッファ105a、105bは、それぞれ、他のメモリモジュール103のバッファ105a、105bと互いにポイント・ツー・ポイントで接続されている。即ち、データ配線111、コマンド・アドレス配線112、及び、クロック配線113は、順次、次段のバッファ105a、105bにカスケード接続され、ディジーチェーンを構成している。

【0073】

図5に示された例では、8ビット単位でデータを入出力する×8構成のDRAM110aが各メモリモジュール103上に搭載されており、各DRAM110aは内部クロック配線113'を介して与えられるクロック周波数666MHzのクロックにしたがって入出力動作を行う。この結果、内部コマンド・アドレス配線112'及び内部データ配線111'には、それぞれ、666MHz及び1.33GHzの伝送速度で、コマンド・アドレス信号及びデータが伝送される。

【0074】

一方、メモリコントローラ101と、メモリモジュール103aのバッファ105a、105bとは、データ配線111、コマンド・アドレス配線112、クロック配線113、及びモジュール識別配線114によって接続されている。更に、これらの配線は、次段のメモリモジュール103bのバッファ105a、105bに延び、更に、図5の後方に示されたメモリモジュール103c、103dのバッファ105a、105bにも接続されている。このように、データ配線111は、コマンド・アドレス配線112、及び、クロック配線113と共に2

つのバッファ 105 a、105 b に集中的に、即ち、グループ化して接続されている。

【0075】

図5では、クロック配線 113 上に、1.33 GHz の周波数を有するクロックが与えられ、また、コマンド・アドレス配線 112 及びデータ配線 111 には、2.66 Gbps の伝送速度でコマンド・アドレス信号及びデータが入出力される。したがって、各バッファ 105 a、105 b は、メモリコントローラ 101 からのクロック、コマンド・アドレス信号、データを 2 又は 4 個の信号に平行化することにより、内部クロック、内部コマンド・アドレス信号、及び、内部データを生成できることが分かる。

【0076】

この構成では、各メモリモジュール 103 のバッファ 105 a 及び 105 b を同時に動作させることにより、第1の実施形態と同様に、32ビット幅或いは36ビット幅で、データの入出力を行うメモリシステムを構成することができる。32ビット幅のデータを送受するメモリシステムの場合、メモリモジュール 103 の各バッファ 105 a、105 b の両側に、それぞれ2つの×8構成のDRAM 110 a が配置され、各メモリモジュール 103 が選択されると、両バッファ 105 a、105 b によって、各メモリモジュール 103 上の合計8個のDRAM 110 a が活性化され、64ビット幅のデータがバッファ 105 a、105 b と8個のDRAM 110 a との間で送受可能になる。図示された例では、メモリコントローラ 101 とバッファ 105 a、105 b とは、それぞれ、16ビット幅のデータ配線 111 により接続され、これらデータ配線 111 は後方に配置されたメモリモジュールのバッファにも接続されている。このことから明らかな通り、データ配線 111 上には、第1の実施形態と同様に、データが多重化されて伝送される。

【0077】

他方、36ビット幅でデータの送受を行うメモリシステムでは、各メモリモジュール 103 上の9個のDRAM 110 a とバッファ 105 a、105 b との間で72ビット幅のデータが送受可能となる。図5に示された例では、バッファ 1

0 5 a と、当該バッファ 1 0 5 a の左右に配置された 5 個の D R A M 1 1 0 a との間で、4 0 ビット幅のデータが送受され、バッファ 1 0 5 b と、当該バッファ 1 0 5 b の左右に配置された D R A M 1 1 0 a との間では、3 2 ビットのデータ幅の送受される。

【0 0 7 8】

この場合、メモリコントローラ 1 0 1 とバッファ 1 0 5 a との間のデータ配線 1 1 1 及びメモリコントローラ 1 0 1 とバッファ 1 0 5 b との間のデータ配線 1 1 1 は、それぞれ、2 0 ビット幅、1 6 ビット幅を有し、これらデータ配線 1 1 1 上及びコマンド・アドレス配線 1 1 2 上には、多重化された、即ち、パケットに圧縮されたデータ及びコマンド・アドレス信号が送受されることは、第 1 の実施形態と同様である。

【0 0 7 9】

図示されたメモリシステムは、各バッファ 1 0 5 a 及び 1 0 5 b により駆動される D R A M 1 1 0 a の数を第 1 の実施形態に比較して半減することができ、メモリモジュール 1 0 3 上における各バッファ 1 0 5 a、1 0 5 b における配線数を少なく、配線長を短くできる。更に、各バッファ 1 0 5 a、1 0 5 b の負荷となる D R A M 1 1 0 a の数を少なくできるため、内部データ配線 1 1 1' と、内部コマンド・アドレス配線 1 1 2' 及び内部クロック配線 1 1 3' における入力負荷の相違を軽減でき、高周波動作に適したメモリシステムを構成できる。

【0 0 8 0】

尚、図 4 に示されたメモリシステムにおいて、3 6 ビット幅のデータをメモリコントローラ 1 0 1 とバッファ 1 0 5 a、1 0 5 b との間で送受するメモリシステムでは、図 5 から明らかな通り、図 4 の破線で囲まれた D R A M 1 1 0 a が接続されることは言うまでもない。

【0 0 8 1】

図 4 及び図 5 に示された第 2 の実施形態に係るメモリシステムは、種々の変形が可能である。例えば、2 つのバッファの両側に配置される D R A M として、4 ビット単位でデータの入出力を行う×4 構成の D R A M、或いは、1 6 ビット単位でデータの送受を行う×1 6 構成の D R A M が使用されても良い。また、本発

明は、各メモリモジュールのモジュール基板の一表面だけにDRAMを配置したメモリシステムだけでなく、表裏にDRAMを配置したメモリシステムにも適用できる。更に、各メモリモジュールに配置される複数のDRAMを複数のランクに区分したシステムにも同様に適用できる。

【0082】

上記した実施形態に係るメモリシステムでは、各メモリモジュールに与えられるコマンド・アドレス信号は、複数のバッファに対して個々に与えられるため、コマンド・アドレス信号用ピン数はバッファの個数倍となるが、コマンド・アドレス信号は多重化されているため、その増加分は大きくない。

【0083】

図6を参照すると、本発明の第3の実施形態に係るメモリシステムの一例が示されている。図示されたメモリシステムは、各メモリモジュールにおけるバッファの数を増加させることなく、モジュールコネクタ104（図3）とバッファとの間の内部データ配線数を少なくできる構成を備えている。具体的に説明すると、図6に示されたメモリシステムは、メモリコントローラ101と、複数のメモリモジュール103（図では、103a、103bのみが示されている）とを備えており、各メモリモジュール103の表裏には、それぞれ16個のDRAM110（添字省略）が搭載されている。図示されたDRAM110は8ビット単位で書込、読出を行う×8構成のDRAMであるものとする。また、メモリモジュール103a及び103bの中央には、バッファ105（11）及び105（21）がそれぞれ配置されている。このうち、バッファ105（11）には、16ビット幅のデータ配線（DQ）111、コマンド・アドレス配線（Cmd/Add）112、クロック配線（CLK）113、及び、モジュール識別配線（MID）114とが接続されており、他方、バッファ105（21）には、同様に、16ビット幅のデータ配線（DQ）111、コマンド・アドレス配線（Cmd/Add）112、クロック配線（CLK）113、及び、モジュール識別配線（MID）114とが接続されている。各バッファ105（11）、105（21）の上記した配線は、図示されないメモリモジュールのバッファに接続され、デューチチェーンを構成している。

【0084】

この実施形態では、2枚のメモリモジュール103a、103bにおける合計32個のDRAM110は、それぞれ8個ずつのDRAMにグループ化され、ランク1～4として動作する。この関係で、メモリモジュール103a、103bにおけるバッファ105(11)、105(21)からDRAM110への配線はメモリモジュール103a、103bの表裏の対応するそれぞれのDRAM110に対して共通に配線され、メモリモジュール103a、103b内のビアにより互いに接続される一方、各バッファ105(11)及び105(21)の同一のDQ端子に接続されている。即ち、ランク1とランク3、及び、ランク2とランク4に使用されているそれぞれのDRAM110はメモリモジュール103a、103bの表裏の位置にありランクを選択するアドレスビットにより同一ランクのDRAMが活性化される。このことを考慮して、図6では、ランク1に属するDRAM110には、添字r1を付し、以下同様に、ランク2～4のDRAM110をr2～r4によって特徴付けている。

【0085】

この構成では、ランク1のDRAM110を動作させる場合、メモリモジュール103a及び103bのそれぞれ4個のDRAM110r1が選択されると、各メモリモジュール103a、103bのバッファ105(11)、105(21)とDRAM110r1との間で、32ビット幅のデータが内部データ配線111'を介して送受される状態になる。この状態で、バッファ105(11)、105(21)は、それぞれ16ビット幅のデータ配線111によりメモリコントローラ101と接続され、合計32ビットデータ配線としてメモリコントローラ101とのデータの送受信を行うことになる。

【0086】

このように、2枚のメモリモジュール103a及び103bを一組として、4つのランクを構成し、ランク1とランク3、ランク2とランク4のそれぞれのメモリモジュール103a、103b内の配線を共通化することができ、メモリモジュール103a、103b内の配線数を少なくできる。

【0087】

ここで、図6に示されたメモリシステムは、それぞれ、直接メモリコントローラ101に接続されたバッファ105(11)及び105(21)を有している点で、第1の実施形態に係るメモリシステムとは異なっており、各メモリモジュール103a、103bの単一のバッファ105(11)及び105(21)が16ビット幅のデータ配線111によって接続されている点で、第2の実施形態に係るメモリシステムとも相違している。

【0088】

更に、図6に示された構成では、ランク1～4を識別するために、チップセレクト信号(CS)が使用されるが、別途、ランク1～4を識別するためのビットが付加されても良い。

【0089】

次に、図6に示されたメモリシステムの動作を説明すると、一つのコマンド・アドレス信号がメモリコントローラ101から出力されると、当該コマンド・アドレス信号は、この例では、2つのメモリモジュール103a、103bに供給される。この場合、このコマンド・アドレス信号はクロックに同期してメモリコントローラ101から出力されることは言うまでもない。当該コマンド・アドレス信号によって、2つのメモリモジュール103a、103b内における同一ランクにある8個のDRAM、例えば、ランク1のDRAM110r1が活性化され、活性化された8個のDRAM110r1と両メモリモジュール103a、103bとの間で、データの書込、読出動作が行われる。この場合、メモリモジュール103a上の4個のDRAM110r1が活性化され、バッファ105(11)との間で、32ビット幅のデータの送受が可能であり、他方、メモリモジュール103b上の4個のDRAM110r1が活性化されて、バッファ105(21)との間で、同様に、32ビット幅のデータの送受が可能である。

【0090】

バッファ105(11)及び105(21)は、それぞれ16ビット幅のデータ配線111によりメモリコントローラ101に接続されているから、メモリコントローラ101と各バッファ105(11)、105(21)の間では、データが多重化されて伝送されることは、前述した実施形態と同様である。

【0091】

メモリモジュール103a及び103bに設けられたバッファ105(11)及び105(21)には、図示されない他のメモリモジュールのバッファをそれぞれ接続することによって、デューチチェーンを構成することができる。したがって、図示されたメモリシステムのバッファは、105(12~1k)及び105(22~2k)であらわすことができる(但し、kは3以上の正整数)。このことから明らかな通り、図示されたメモリシステムのメモリモジュールは、必要に応じて増設できる。

【0092】

図6に示された第3の実施形態に係るメモリシステムでは、第1の実施形態に係るメモリシステムと同一のDRAM110を備えた場合、DRAM110のランク数を2から4に増加することになる。また、この実施形態においては、各メモリモジュール内のDRAMをランク構成にすることにより、各メモリモジュール内の配線を共通化できるため、各メモリモジュール103上のレイアウトの自由度が上がり、バッファチップの数も、第2の実施形態に比較して少なくすることができるという利点がある。更に、図6に示されているように、メモリコントローラ101からのデータは、メモリモジュール103bに対して、他のバッファを介することなく、直接、メモリモジュール103bのバッファ105(21)に与えられているから、2個のバッファ105を介してデータを送受する第1及び第2の実施形態に係るメモリシステムに比較して、バッファによるロジック遅延を削減できる。

【0093】

図7を参照すると、本発明の第3の実施形態に係るメモリシステムの変形例が示されている。このメモリシステムは2つのメモリモジュール103a、103bだけによって構成され、メモリモジュールの増設を考慮しないメモリシステムである。この例では、メモリモジュール103a及び103bにそれぞれ設置されたバッファ105は、他のメモリモジュールに対するデューチチェーンを構成せず、終端抵抗により終端されている。換言すれば、図示された例では、カスケード接続される他のメモリモジュールは存在していないため、図7のメモリモジ

ジュール 103 a 及び 103 b のバッファは、それぞれ参照番号 105 (1) 及び 105 (2) であらわされている。但し、各メモリモジュール 103 a、103 b 上の表裏に設けられた 16 個の DRAM 110 は 4 つのランクに分けられ、且つ、ランク 1 とランク 3、ランク 2 とランク 4 のそれぞれのメモリモジュール 103 a、103 b 内の配線を共通化していることは、図 6 と同様である。

【0094】

図 8 を参照すると、本発明の第 3 の実施形態に係るメモリシステムの他の変形例が示されている。この変形例は、単一のバッファ 105 をそれぞれ備えた 4 つのメモリモジュール 103 a ~ 103 d を有し、これらメモリモジュールのバッファ 105 (1) ~ (4) (バッファ 105 (3) 及び 105 (4) は図示せず) は、直接メモリコントローラ 101 に接続されている点で、図 6 及び図 7 のメモリシステムとは異なっている。このため、図 8 に示されたメモリシステムの各バッファ 105 は、32 ビット幅の 4 分の 1 に相当するデータ配線本数により、メモリコントローラ 101 に接続されると共に、各メモリモジュール 103 a ~ 103 d 上の $\times 8$ 構成の DRAM 110 を 8 ランクに区分し、これによって、各メモリモジュール 103 a ~ 103 d のレイアウトの自由度を向上させることができる。

【0095】

上記したように、本実施形態では、4 枚のメモリモジュール 103 a ~ 103 d を一組として 8 ランク構成としたものである。それぞれのメモリモジュール 103 a ~ 103 d に 16 個の DRAM 110 が搭載されており、それぞれのメモリモジュール右側の表に配置された 4 個の DRAM はそれぞれランク 1 ~ 4、右側の裏に配置された 4 個の DRAM はそれぞれランク 5 ~ 8、左側表に配置された 4 個の DRAM はランク 1 ~ 4、左側裏に配置された 4 個の DRAM はそれぞれランク 5 ~ 8 として構成されている。ランク 1 とランク 5、ランク 2 とランク 6、ランク 3 と 7、ランク 4 とランク 8 はメモリモジュールの表裏の対応する位置にあり、各バッファ 105 (1) ~ (4) から DRAM への配線は共通であり、ビアにより接続されている。図 8 に示されたメモリシステムを図 6 に示された実施形態と比較すると、図 8 に示されたメモリシステムの各メモリモジュール

103 (a) ~ (d) へのデータ配線は8ビットであり、メモリシステム全体として32ビットのデータ配線となっている点が図6と異なっている。

【0096】

前述したように、メモリモジュール103a及び103bのDRAM110は、8つのランクに区分されており、このことを明確化するために、図8では、ランク1~8のDRAM110をそれぞれ参照符号110r1~110r8で示している。

【0097】

この構成において、アドレス信号がコマンド・アドレス信号 (Cmd/Addr) としてメモリコントローラ101から与えられると、メモリモジュール103a~103dにおける同一ランク、例えば、ランク1の2つのDRAM110r1が活性化され、各バッファ105(1)~105(4)との間で、16ビット幅のデータの送受できる状態となり4つのバッファ105(1)~105(4)全体では、合計64ビット幅のデータが送受可能な状態となる。各メモリモジュール103a~103dのデータ線111は、図示されているように、8ビット幅であり、メモリモジュール103a~103dの各データ線111上においては、多重化されたデータがメモリコントローラ101と各バッファ105(1)~(4)との間で送受される。

【0098】

図9を参照すると、本発明の第3の実施形態に係るメモリシステムの更に他の変形例が示され、2枚のメモリモジュール103a、103bを一組とし、2ランクのメモリシステムとしている。2枚のメモリモジュール103a、103bの表側に配置されたDRAM16個でランク1、裏側のDRAM16個でランク2を構成し、各DRAM110として×4構成のDRAMを使用した点で、図6のメモリシステムと異なっている。更に、図9では、各メモリモジュール103a、103bの表面に搭載された8つのDRAM110をランク1とし、裏面に搭載された8つのDRAM110をランク2としている。この関係で、図9では、ランク1に属し、メモリモジュール103a及び103bに配置された16個のDRAM110を参照符号110r1であらわし、他方、ランク2に属する16個のDRAM110を参照符号110r2によってあらわしている。また、各メモリモジュール10

3a、103bの表裏に配置されたランク1及びランク2のDRAM110r1と110r2は、4ビット幅の内部データ配線により共通に接続されている。

【0099】

一方、各メモリモジュール103a、103bのバッファ105は、16ビット幅のデータ線111によってメモリコントローラ101と接続され、各データ線111上には、多重化されたデータが伝送されることは他の例と同様である。この構成によっても、図6に示されたメモリシステムと同様に、メモリモジュール103a、103bの8個のDRAM110r1、110r2とバッファ105の間で、それぞれ32ビット幅のデータが伝送され、更に、各バッファ105とメモリコントローラ101との間で、16ビット幅のデータが多重化されて伝送される。

【0100】

図10を参照すると、本発明の第3の実施形態に係るメモリシステムの更に他の変形例として、パリティビット付の36ビットのバス幅を有している例が示されている。この例では、各メモリモジュール103a、103bの表裏に、それぞれ、9個の×4構成のDRAM110が搭載されている点、及び、各メモリモジュール103a、103bのバッファ105とメモリコントローラ101との間のデータ線111が18ビット幅である点で、図9に示されたメモリシステムと異なっている。具体的に言えば、図10に示された各メモリモジュール103a、103bには、バッファ105の左側の表裏に、それぞれ4個のDRAM110、バッファ105の右側の表裏に、それぞれ5個のDRAM110が配置されている。ここでは、各メモリモジュール103a、103bの最右端表裏に配置されたDRAM110はパリティ用DRAMとして使用されるものとする。

【0101】

この例も、図9と同様に、2枚のメモリモジュール103a、103bを一組とした2ランクのメモリシステムである。また、2枚のメモリモジュール103a、103bの表側に配置された18個のDRAMはランク1を構成し、裏側に配置された18個のDRAM110はランク2を構成している。この関係で、ランク1及び2のDRAMは、参照符号110r1及び110r2であらわされて

いる。尚、表裏に配置されたランク 1 及び 2 の DRAM 110r1、110r2 の内部データ配線は、共通であることも図 9 と同様である。

【0102】

更に、メモリモジュール 103a 及び 103b のバッファ 105 は、それぞれ、18 ビット幅に相当するデータ配線 111 によってメモリコントローラ 101 と接続されると共に、それぞれ、図示しないメモリモジュールのバッファにカスケードに接続され、ディジーチェーンを構成している。

【0103】

この構成では、メモリコントローラ 101 とメモリモジュール 103a 又は 103b との間で、パリティ付のデータが多重化されて送受される。

【0104】

上記した第 1 及び第 2 の実施形態と第 3 の実施形態とを比較すると、第 1 及び第 2 の実施形態では、カスケード接続された第 2 のメモリモジュール上における DRAM と、メモリコントローラとの間におけるデータの送受信は、2 つのバッファチップを介して行われるため、バッファチップでの受送信処理に必要なロジック遅延が第 3 の実施形態の 2 倍となる。他方、第 3 の実施形態では、経由するバッファの数が少なくなるメリットがあるが、メモリモジュール上の DRAM のランク数を増加させる必要がある。

【0105】

図 11 を参照して、前述したメモリシステムにおけるメモリコントローラ (MC) 101 と、各メモリモジュール 103 との間の信号伝送方式について、より詳細に説明する。図示された例では、説明を簡略化するために、メモリモジュール 103a とメモリモジュール 103b におけるバッファ (buffer) 105a と 105b とがカスケードに接続されているものとする。このシステムにおいて、メモリコントローラ 101 は、コマンド・アドレス信号 (CA) をクロック信号に同期して送信し、これらコマンド・アドレス (CA) 信号及びクロック信号は、メモリモジュール 103a 及び 103b のバッファ 105a 及び 105b で、順次、受信される。

【0106】

他方、データ (DQ) 信号は、双方向の複数組のクロック信号 (相補) CLK、CLKBに同期して、各バッファ105a、105b、及び、メモリコントローラ101で送受信される。即ち、メモリコントローラ101からメモリモジュール103a、103bのDRAMにデータを書き込む場合、データは、メモリコントローラ101から出力されるクロックに同期してバッファ105a、105bに送信され、メモリモジュール103a、103bのDRAMからデータを読み出す場合、各メモリモジュール103a、103bのバッファ105a、105bは、DRAMの内部クロックからクロックを生成し、当該クロックに同期して、DRAMから読出データをメモリコントローラ101に出力する。尚、コマンド・アドレス信号及びデータ信号の PACKET 送信時には、これらコマンド・アドレス信号及びデータ信号と同時に、モジュール識別信号MIDがメモリコントローラ101から送られ、この信号MIDにより、バッファ105a、105bは、信号の有効先頭データ及び受送信先のメモリモジュールが識別される。

【0107】

図12を参照すると、図11に示されたシステムにおけるタイミング関係が示されている。図示された例では、メモリコントローラ (MC) 101から1.33GHzの周波数 (即ち、0.75nsの周期) を有するクロックが生成され (図12、第1ライン参照)、当該クロックの前縁及び後縁に同期して、メモリコントローラ (MC) 101からバッファに対して、データが送信されている (第3ライン参照)。この結果、データは、2.66Gbpsの伝送速度でメモリコントローラ (MC) 101からバッファ105a、105bに送出される。

【0108】

他方、各バッファ105a、105bからDRAMに対しては、666MHzの周波数 (1.5nsの周期) を有する内部クロックが生成され (第2ライン参照)、バッファの内部レイテンシー時間経過後、当該内部クロックの前縁及び後縁に同期して、バッファに受信されたデータは、DRAMに1.33Gbpsの伝送速度で書き込まれる (第4ライン参照)。

【0109】

次に、コマンド・アドレス信号 (CA) は、1.33GHzの周波数を有する

クロックの前縁及び後縁に同期して、メモリコントローラ (MC) 101 からバッファ 105 a、105 b に出力され (第 5 ライン参照)、当該コマンド・アドレス信号 (CA) は、バッファ内部のレイテンシー時間経過後、内部クロックの前縁に同期して、バッファから DRAM に出力される (第 6 ライン参照)。このため、コマンド・アドレス信号 (CA) は、メモリコントローラ (MC) からバッファ 105 a、105 b に対して、2.66 Gbps の伝送速度で出力され、バッファから DRAM に対して、666 Mbps の伝送速度で出力される。また、モジュール識別信号 MID は、メモリコントローラ (MC) からバッファに対して、1.33 GHz のクロックの前縁及び後縁に同期して、2.66 Gbps の伝送速度でメモリコントローラ (MC) から出力されている。

【0110】

このことから明らかな通り、メモリコントローラ (MC) 101 とバッファ 105 a、105 b との間では、データは、DRAM のデータ周波数の 2 倍、コマンド・アドレス信号 (CA) は 4 倍の周波数でメモリコントローラ (MC) とバッファとの間を伝達されている。したがって、各メモリモジュール上のバッファでは、データ及びコマンド・アドレス信号を分周器等により、それぞれ、 $1/2$ 及び $1/4$ の周波数に落とされて DRAM に伝達される。

【0111】

ここでは、メモリシステムとしては 8 ビット連続データ (バースト) を処理するものとする。即ち、メモリコントローラ (MC) 101 からバッファにたいしては、32 ビットのデータバスのそれぞれに 16 ビットの連続データを 2.66 Gbps の伝送速度で出力し、バッファにおいて 16 ビットの連続データを交互に DRAM の 2 つの DQ ピンに、伝送速度 1.33 Gbps の 8 ビット連続データとして出力するものとする。

【0112】

また、コマンド・アドレス信号は MC からバッファに対して 2.66 Gbps の伝送速度で出力され、一つのコマンド・アドレス信号線の例えば 4 ビットのデータはバッファにおいてそれぞれのビットが 4 つのコマンド・アドレス信号線へ分配され 666 Mbps の伝送速度で DRAM に供給される。

【0 1 1 3】

次に、前述した動作をデータの書込及び読出動作、並びに、コマンド・アドレス信号の転送動作に分けて、更に、詳細に説明する。図 1 3 には、メモリコントローラ (MC) から DRAM に対してデータの書込動作が示されている。上記した通り、メモリコントローラ (MC) 1 0 1 は、1.33 GHz のクロックをバッファ 1 0 5 に対して出力している (第 1 ライン)。このクロックに同期して、モジュール識別信号 MID 及びデータ DQ0m がメモリモジュール 1 0 1 から出力されている (第 3 及び第 4 ライン参照)。

【0 1 1 4】

ここで、モジュール識別信号 MID には、有効データ先頭識別信号と行先アドレスとが含まれており、データ DQ0m には、DRAM の 2 つの DQ ピンに分配されるべき 2 系列のデータ列 DQ0、DQ1 とが含まれている。ここで、データ列 DQ0 は、連続した 8 ビットデータ DQ00、10、20、30...70 となり、他方、データ列 DQ1 は、連続した 8 ビットデータ DQ01、11、21、31...71 となる。図 1 3 の第 4 ラインに示されているように、データ DQ0m には、データ列 DQ0 と DQ1 の単位データが交互に、第 1 ラインに示されたクロックの前縁及び後縁に同期して、配置されており、このデータ DQ0m はメモリコントローラ (MC) 1 0 1 からバッファ 1 0 5 a へクロックに同期して出力される。ここで、メモリコントローラ (MC) からバッファへのデータ配線が合計 3 2 本の場合は、各データ配線から DRAM の 2 つの DQ 端子へデータが供給されるため、システム全体としては 6 4 ビット幅で 8 ビット連続データを処理することになる。モジュール識別データ MID は第 1 段目のバッファ 1 0 5 a で当該バッファ 1 0 5 a の属するメモリモジュール 1 0 3 a 宛でないことが識別されると、次段のメモリモジュール 1 0 3 b に、データ DQ0m と共に転送される (第 3 及び第 4 ライン参照)。

【0 1 1 5】

次に、メモリモジュール 1 0 5 a 内のバッファ 1 0 5 a では、第 2 ラインに示すように、1.33 GHz のクロックを 2 分周した 6 6 6 MHz の内部クロックを発生し、DRAM に出力する。前述したモジュール識別信号 MID によって、

メモリモジュール 103a が指定されている場合、図示されたデータ DQ0m は、バッファレイテンシー経過後、内部クロックに同期して、所定の DRAM に書き込まれる。図示された例では、内部クロックの前縁及び後縁に同期して、データ列 DQ0 及び DQ1 が第 5 及び第 6 ラインに示すように、バッファ 105a から 2 つの DRAM にそれぞれ出力される。

【0116】

次に、図 14 を参照して、DRAM からデータ DQ0m を読み出す場合の動作を説明する。この場合、メモリモジュール 103a の DRAM からバッファ 105a を通して、データ DQ0m がメモリコントローラ (MC) 101 に読み出されるものとする。まず、バッファ 105a は、DRAM に対して 666MHz の内部クロック (図 14 の第 2 ライン) を出力しており、他方、メモリコントローラ (MC) 101 に対して、1.33GHz の周波数を有するクロック (第 1 ライン参照) を出力している。この状態で、DRAM の 2 つの DQ 端子から、データ列 DQ0 及び DQ1 が読み出されるものとする。ここで、データ列 DQ0 及び DQ1 は、それぞれ、単位データ D00、10、20...70 及び単位データ D01、11、21...71 を含んでいるものとする (第 5 及び第 6 ライン参照)。これら単位データは、内部クロックに同期して、2 つの DQ 端子からバッファ 105a に送出される。バッファ 105a では、当該バッファ 105a の属するメモリモジュール 103a をあらわすモジュール識別信号 MID を有効データ先頭識別信号として、メモリコントローラ (MC) に出力する (第 3 ライン参照)。続いて、2 つの DQ 端子からのデータ列 DQ0、DQ1 の連続した 8 ビット単位データを交互に組み合わせて多重化し、バッファ 105a とメモリコントローラ 101 間のクロックに同期して、メモリコントローラ 101 に 16 ビットの読出データ DQ0m として出力する。また、バッファ 105b のように、バッファ 105a の後段にあるバッファの場合、データ DQ0m は、前段のバッファ 105a を通してメモリコントローラ (MC) に与えられる。

【0117】

このように、メモリコントローラ (MC) 101 と各バッファ 105a、105b との間におけるデータの伝送速度及びクロック周波数は、各バッファ 105

a、105bとDRAM間のデータ伝送速度及びクロック周波数よりも速いことが分かる。この構成により、メモリコントローラ(MC)101とバッファ間の配線数を少なくして、各DRAMの動作速度に応じた伝送速度で、データの書込、読出を行うことができる。

【0118】

更に、図15を参照すると、メモリコントローラ(MC)101からメモリモジュールに対してコマンド・アドレス信号が与えられる場合の動作が示されている。前述したように、メモリコントローラ(MC)101からバッファ105a、105bに対して1.33GHzの周波数を有するクロックが供給されており(第1ライン参照)、各バッファ105とDRAM110との間では、666MHzの内部クロックが使用されているものとする(第2ライン参照)。この場合、モジュール識別信号MIDは、コマンド・アドレス信号CA0mの先頭識別信号及び行先アドレス信号と含んであり、これらコマンド・アドレス信号CA0mの先頭識別信号及び行先アドレス信号は、1.33GHzのクロックの前縁及び後縁に同期して、メモリコントローラ(MC)101から出力され(第3ライン参照)、このMIDは、前段のメモリモジュール103aのバッファ105aと次段のメモリモジュール103bのバッファ105bにも転送されている。

【0119】

モジュール識別信号MIDと同時に、この例では、コマンド・アドレス信号CA0mとして、アドレス信号A0～A3が1.33GHzのクロックの前縁及び後縁に同期して多重化された形で、メモリコントローラ(MC)101からバッファ105aに出力され、続いて、バッファ105bに転送される(第4ライン参照)。上記したモジュール識別信号MIDによって指定されたメモリモジュール103のバッファ105では、内部クロックに同期して、指定されたメモリモジュール103に搭載されたDRAMにアドレス信号A0～A3を与えられる。図15においては、コマンド・アドレス信号のうち1本のみを示したが、バッファに与えられた複数のコマンド・アドレス信号がそれぞれ4つのコマンド・アドレス信号、例えば、RAS、CAS、WE、バンクアドレス、残りのアドレス信号等として変換される。これによって、指定されたメモリモジュール内の動作モ

ードやDRAM及びDRAM内のメモリセルが選択されることになる。

【0120】

上記した説明では、主に、メモリコントローラ (MC) 101とメモリモジュール103間の信号伝送について説明したが、各メモリモジュール103と当該メモリモジュール103内のDRAMとの間においても信号伝送が高速で行えることが望ましい。

【0121】

このため、本発明は、バッファ105とDRAMとの間で、データを高速で伝送する方法を提案する。尚、以下の説明では、前述した本発明の第1乃至第3の実施形態に係るメモリシステムに、本発明に係るデータ伝送方法を適用した場合を説明するが、必ずしも、前述したメモリシステムに限定されない。

【0122】

図16を参照すると、前述したメモリシステムのメモリモジュール103内のDRAM110及びバッファ105が示されている。図16において、DRAM105は、データストロブ信号DQS (及び相補のDQS*) (以下では、DQSについてのみ説明する) により、バッファ105とDRAM110との間で、データの受送信を行なっている。この場合、データストロブ信号DQSは、クロックに同期して生成されると共に、データDQを双方向に伝送する際に、データDQの送信方向に伝送される。例えば、データDQをDRAM110からバッファ105の方向に伝送する場合、データストロブ信号DQSも同様にDRAM110からバッファ105に出力される。尚、バッファ105からDRAM110でデータを伝送する場合も同様である。

【0123】

次に、図17(a)を参照すると、図16においてバッファ105からDRAM110にデータを書き込む場合の動作が示されており、図17(b)には、DRAM110からデータを読み出す場合の動作が示されている。先ず、図17(a)に示すように、データ書込の場合、バッファからDRAMへ書込コマンド (WRT) 及びアドレス (Add) が与えられた後、クロックの前縁及び後縁に同期して、データストロブ信号DQSと共に、データの書込が行われ、この書込

動作はストローブ信号DQSが与えられている間、継続する。このため、データは、コマンド・アドレス信号の生成後、所定のレイテンシー時間経過（図ではWL=4）してから、書き込まれることになる。

【0124】

また、図17（b）に示すように、データの読出の場合にも、読出コマンド（RED）及びアドレス（Add）がバッファからDRAMへ与えられ、クロックの前縁及び後縁に同期してデータストローブ信号DQSと共にデータの読出が行われる。

【0125】

このように、データストローブ信号DQSを使用する場合、データはデータストローブ信号DQSにタイミングが整合されて送信され、データストローブ信号DQSにより受信されることになる。このように、データストローブ信号を用いた送受信方式では、受信側デバイス内部で、データストローブ信号DQSとデータDQのロジック、レイアウト遅延をあわせる必要がある。しかしながら、温度変動、電圧変動により遅延が変化すると、デバイスの受信可能な信号セットアップ、ホールド時間が悪化する。より高周波の動作のためにはより短いセットアップ、ホールド時間が要求されるため、データストローブ信号を双方向に伝送する方式では、高速化に限界がある。

【0126】

DRAM110とバッファ105間のデータ送受信をより高速に行うために、本発明では、前述したデータストローブ信号DQSにかわり、常時データ信号のタイミングで双方向に伝送され、DRAM110及びバッファ105でそれぞれ送受信される信号（ここでは、データフェーズ信号DPSと呼ぶ）を使用することを提案する。このように、常時、双方向に送受されるデータフェーズ信号DPSを用いることにより、各デバイス内では、DLLを使用して送受信クロックを再生することができる。更に、DLLを使用した場合、まず、レプリカ遅延により温度変動、電圧変動をキャンセルすることができ、また、クロックを最適タイミングに設定できるので遅延ロジックを介在させないでデータ受信が可能となる。したがって、より短いセットアップ、ホールド時間にすることができる。

【0127】

図18を参照すると、DRAM110とバッファ105間で、上記したデータフェーズ信号DPSを使用してデータ伝送を行うデータ伝送システムの概略構成が示されている。図16と比較しても明らかな通り、図18に示されたデータ伝送システムでは、データストロブ信号DQSの代わりに、データフェーズ信号DPSがバッファ105とDRAM110との間で、双方向に送受され、当該データフェーズ信号DPSは、バッファ105又はDRAM110から送信されるデータDQのタイミング信号として、他方のデバイスに供給されている。具体的には、バッファ105からデータDQをDRAM110に書き込む場合、所定の書込タイミングでライトデータフェーズ信号DPSが、書込データDQと共にバッファ105からDRAM110に供給され、他方、DRAM110からバッファ105にデータDQを読み出す場合、上記書込タイミングとは異なるタイミングで生成されるリードデータフェーズ信号DPSが、読出データDQと共にDRAM110からバッファ105に供給される。

【0128】

DRAM110及びバッファ105では、それぞれ書込タイミング及び読出タイミングを識別することにより、ライトデータフェーズ信号及びリードデータフェーズ信号(DPS)を抽出し、抽出されたライトデータフェーズ信号及びリードデータフェーズ信号(DPS)により、データDQの書込或いは読出を行う。このことから明らかな通り、バッファ105及びDRAM110は、前述したDLLのほかに、ライトデータフェーズ信号及びリードデータフェーズ信号(DPS)のタイミングを識別する回路を備えている。

【0129】

図19を参照すると、1ランク構成におけるバッファ105と1ランク構成のDRAM110との間で、データフェーズ信号DPSを送受する場合に使用されるバッファ105及びDRAM110のドライバ回路及びレシーバ回路(即ち、送受信回路)が示されている。図示されているように、バッファ105及びDRAM110のドライバはそれぞれオープンドレイン構成のNチャネルMOSトランジスタを備えている。DRAM110のNチャネルMOSトランジスタのドレ

インには、可変抵抗が終端抵抗として接続され、他方、バッファ105のNチャネルMOSトランジスタのドレインには、固定抵抗が終端抵抗として接続されている。このように、可変抵抗を接続した場合、DRAM側のランク構成により、抵抗値を調整できる。尚、終端抵抗は、DRAM110及びバッファ105のデバイス内部に設けられているが、デバイス外部に設けられても良いことは言うまでもない。また、DRAM110及びバッファ105における両トランジスタのドレインに接続されたデータフェーズ信号DPS伝送用信号線は、それぞれ、増幅器を介して、DRAM110及びバッファ105の内部回路に接続されている。

【0130】

図19に示された構成において、バッファ105のNチャネルMOSトランジスタのゲートには、所定のタイミング及び周期でタイミング信号が与えられ、バッファ105のNチャネルMOSトランジスタはこのタイミング信号によりオンオフされて、書込データフェーズ信号DPSが、バッファ105からDRAM110に供給される一方、バッファ105内部にも、供給される。他方、DRAM110のNチャネルMOSトランジスタのゲートには、バッファ105のタイミング信号とは異なる位相を有し、同一の周期で生成されるタイミング信号が与えられ、DRAM110のNチャネルMOSトランジスタは、当該タイミング信号によりオンオフされる結果、読出データフェーズ信号DPSが、DRAM110からバッファ105に供給されると共に、DRAM110の内部にも供給される。図示されているように、DRAM110及びバッファ105内のドライバーはオープンドレインとなっているのでバスは、いわばワイアードOR構成となっており、且つ、DRAM110及びバッファ105からのデータフェーズ信号DPSは異なるタイミングで出力されるから、両信号が同一の信号線上に出力されても互いに衝突することはない。

【0131】

図20を参照すると、バッファ105に対して、2ランク構成で2個のDRAM110が接続された場合におけるデータフェーズ信号DPS送受用ドライバ回路が示されている。図からも明らかな通り、単一のデータフェーズ信号DPS信

号線に、2つのDRAM110のドライバが接続されている点で、図19とは相違しているが、各DRAM110内の構成は、同じである。尚、DRAM110内のNチャネルMOSトランジスタのドレインには、可変抵抗が接続されており、この例では、2ランクのDRAM110に適した抵抗値に調整されている。

【0132】

図21(a)及び(b)を図18と共に参照して、DRAM110に対して、データDQを書き込む場合の動作(即ち、ライト動作)、及び、DRAM110からデータDQを読み出す場合の動作(即ち、リード動作)をそれぞれ説明する。図21(a)に示されているように、ライト動作の際、バッファ105は、書込(ライト)コマンド(WRT)、アドレス信号(Add)をクロックに同期してDRAM110に供給する。このとき、データフェーズ信号DPSとして、書込(ライト)データフェーズ信号WDPSがバッファ105からDRAM110に送信されている(第4ライン参照)。図示された書込データフェーズ信号WDPSは、クロックの1/4の周期を有するパルス列における各パルスの前縁(立ち上り)タイミングによって特徴付けられている。

【0133】

一方、当該書込データフェーズ信号WDPSと衝突しないタイミング(ここでは、2クロック分ずれたタイミング)で、同一の信号線上に、読出(リード)データフェーズ信号RDPSがDRAM110からバッファ105に多重化された形で送信されている。図21(b)第4ラインに示されているように、読出データフェーズ信号RDPSは、書込データフェーズ信号WDPSと同様にクロックの1/4の周期を有するパルス列の前縁(立ち上り)タイミングによって特徴付けられており、書込データフェーズ信号WDPSの中間に配置される。このように、書込データフェーズ信号WDPSと読出データフェーズ信号RDPSとのタイミングをずらすことにより、単一の信号線上で、両者が衝突するのを防止している。尚、図示された例では、書込データフェーズ信号WDPSと読出データフェーズ信号RDPSとのタイミングを2クロック分だけずらしているが、両者が衝突しないタイミングであれば、これに限定されないことは言うまでもない。

【0134】

図21(a)を更に参照すると、バッファ105からのライト動作では、バッファ105でクロックと書込データフェーズ信号(WDPS)の位相は一致しているが、DRAMから送信される読出データフェーズ信号(RDPS)の位相は一致していない。データDQはクロックの立ち上がり(前縁)、立下り(後縁)のエッジが信号有効の中心になるように、書込レイテンシー時間経過後(WL=4)、書き込まれる。

【0135】

図21(b)に示す読出(リード)動作時、DRAM110は、読出データフェーズ信号(RDPS)から当該DRAM110におけるクロックを再生する。再生されたクロックにタイミングを合わせて、データDQがDRAM110からバッファ105に送信される。図示された例では、データのタイミングをクロックエッジに一致させているが、有効幅の中心をクロックエッジに揃えても良い。

【0136】

前述した例では、DRAM110とバッファ105は、双方向に同じ信号線上に、データフェーズ信号DPSを通常動作時、即ち、パワーセーブモード以外の動作時に、常時、送信している。また、DRAM110及びバッファ105のドライバは、2クロックだけ異なるタイミングで動作すると共に、図19及び図20に示されているように、オープンドレイン構成を採用しているため、バスは、いわばワイアードOR構成となっておりバスファイトすることはない。

【0137】

図21(a)及び(b)では、書込(ライト)時、及び、読出(リード)時におけるクロックと、書込、読出データフェーズ信号WDPS、RDPSとのタイミング関係、及び、データと、クロック及びデータフェーズ信号(WDPS、RDPS)とのタイミング関係を説明したが、これらデータフェーズ信号(WDPS、RDPS)を受けたDRAM110及びバッファ105では、データフェーズ信号(WDPS、RDPS)から内部でデータ送受信クロックを再生する必要がある。

【0138】

次に、図22を参照して、メモリシステム動作開始時に、本発明に係るデータ

フェーズ信号D P S（ライト又はリードデータフェーズ信号W D P S、R D P S）から、D R A M 1 1 0、及び、バッファ 1 0 5が内部でデータ受信用クロックを再生する手順を説明する。

【0 1 3 9】

まず、バッファ 1 0 5は、D R A M 1 1 0に対してクロックを送信している（第 1 ライン参照）。この例では、6 6 6 M H zの周波数を有するクロックがバッファ 1 0 5で発生されている。この状態で、バッファ 1 0 5は、書込データフェーズ信号W D P S（第 2 ライン参照）をクロックに同期して送信する。図示された書込データフェーズ信号W D P Sは、クロックを 4 分周することによって生成されており、結果的に、書込データフェーズ信号W D P Sは（6 6 6 / 4）M H zの周波数（即ち、クロックの 4 倍周期）を有しており、当該書込データフェーズ信号W D P Sは、時間的に遅延して、D R A M 1 1 0に入力される（第 3 ライン参照）。

【0 1 4 0】

D R A M 1 1 0は、その内部に設けられたD L Lにより、書込データフェーズ信号W D P Sからデータ（D Q）受信用タイミングを定める内部クロックを再生クロックとして生成する（第 4 ライン参照）。図示された内部クロックは6 6 6 M H zの周波数を有している。

【0 1 4 1】

更に、図 2 2 に示されているように、D R A M 1 1 0は、データ（D Q）受信用クロックを内部クロックとして再生後、書込データフェーズ信号W D P Sと内部クロックとから、内部クロックを 2 クロックだけずらすことにより、実線で示されている読出データフェーズ信号R D P Sを生成し、当該読出データフェーズ信号R D P Sをバッファ 1 0 5に送信する（第 5 ライン参照）。図 2 2 に示されているように、読出データフェーズ信号R D P Sは、内部クロックの 4 倍周期を有し、破線で示された書込データフェーズ信号W D P Sと衝突しないように生成されている。

【0 1 4 2】

この読出データバッファ信号R D P Sは、時間的に遅延して、バッファ 1 0 5

に受信され（第6ライン参照）、バッファ105は、受信した読出データバッファ信号RDP Sから、DRAM110からのデータをバッファ105内で受信する666MHzのデータ（DQ）受信クロックを再生する（第7ライン参照）。尚、図22に示されたタイミングチャートは、データフェーズ信号DPSとクロックとのタイミング関係を概念的に説明しており、実際には、後述するように、データ受信用、データ出力用DRAM内部クロックは、それぞれ、最適な内部タイミングで生成される。また、図示されたクロックは、データフェーズ信号DPSの4倍周期でなくとも良く、また、多相のクロックであってもよい。

【0143】

いずれにしても、DRAM110及びバッファ105内における受送信用クロックをデータフェーズ信号WDPS、RDP Sから再生することが、図示された伝送方式の特徴である。

【0144】

図23を参照して、前述した動作を行うDRAM110の具体的な構成を説明する。図では、バッファ105との間で、データフェーズ信号DPS及びデータ（DQ）を送受するインタフェースのみが示されており、データ（DQ）を書込及び読出すメモリセル領域は図23では省略されている。尚、DRAM110のメモリセル領域は、データ（DQ）出力ドライバー201及びデータレシーバ202に接続され、データ（DQ）の読出し、書き込みが行われる。更に、図示されたDRAM110は、DLLによって構成されたクロック再生位相調整及び通倍回路205を備えており、当該DLL205には、書込データフェーズ信号WDPSが入力される一方、当該DLL205からの読出データフェーズ信号RDP SがDPS出力ドライバー206を介して出力される。このことから明らかな通り、図示されたDLL205は、複数の遅延セルを含む遅延線、位相検出器、積分器、及び、周波数通倍器をも備えているものとする。

【0145】

更に、具体的に説明すると、DLL205には、書込及び読出データフェーズ信号WDPS及びRDP Sを含むデータフェーズ信号DPSが与えられており、このデータフェーズ信号は受信位相比較回路206及び出力位相比較回路209

にも与えられている。DLL205は、書込データフェーズ信号WDPSからデータ受信用DRAM内部クロックを再生すると共に、データ受信用フィードバッククロックを生成する。データ受信用DRAM内部クロックはデータレシーバ202に与えられ、データDQを書き込むために使用される一方、データ受信用フィードバッククロックは受信用レプリカ208に与えられ、受信用レプリカ208で4分周することにより、受信した書込データフェーズ信号WDPSのレプリカ信号が受信位相比較回路206に出力される。受信位相比較回路206は、受信用レプリカ208からのレプリカ信号により、読出データフェーズ信号RDPSをサプレスして、書込データフェーズ信号WDPSのみについて、DPS出力用DRAM内部クロックとの間の受信位相調整信号をDLL205に出力する。

【0146】

また、図示されたDLL205は、更に、データ受信用DRAM内部クロックを2クロックだけ遅延させることにより、読出データフェーズ信号RDPS出力用DRAM内部クロック、データ出力用フィードバッククロック、及び、データ出力用DRAM内部クロックを出力する。このうち、DPS出力用DRAM内部クロックはDPS出力ドライバー207及び出力位相比較回路209に与えられ、データ出力用DRAM内部クロックはデータ出力用ドライバ201に供給される。更に、データ出力用フィードバッククロックは出力レプリカ210に与えられ、出力レプリカ210は、読出データフェーズ信号RDPSのレプリカ信号を出力位相比較回路209に出力する。DPS出力ドライバー207は、DPS出力用DRAM内部クロックに応答して、読出データフェーズ信号RDPSをバッファ105に送出する。

【0147】

出力位相比較回路209では、出力レプリカ210から与えられる読出レプリカ信号によって、書込データフェーズ信号WDPSのタイミングをサプレスした状態で、読出データフェーズ信号RDPSとDLL205の出力とを位相比較して、比較結果に応じた出力位相調整信号をDLL205に出力する。この結果、図示されたDRAM110からは、バッファ105に対して読出データフェーズ信号RDPSが送信される。

【0148】

このように、図示されたDRAM110では、DRAM110が読出データフェーズ信号RDPSを送信するときに、位相比較を行わないように、DPS出力用DRAM内部クロックを出力すると共に、書込データフェーズ信号WDPSを受信するときに、DPS出力用DRAM内部クロックを受信位相比較回路206に入力させて比較値のDLL205へのフィードバックを禁止する動作が行われる。

【0149】

図24を参照して、図23に示されたDRAM110との間で、データの送受を行うバッファ105の具体的な構成を説明する。バッファ105は、図23に示されたDRAM110と同様に、データをDRAM110に出力するためのDQ出力ドライバー301及びDRAM110からの読出データを受信するデータレシーバ302を備えると共に、データフェーズ信号DPS送受用のクロック再生位相調整及び通倍回路を構成するDLL305とを有している。更に、図示されたバッファ105内では、DPS出力用バッファ内部クロックが図示しないクロック発生器によって発生されており、当該DPS出力用バッファ内部クロックは、DPS出力ドライバー307及び受信位相比較回路306に供給されている。DPS出力ドライバー307は、与えられるクロックを4分周して、書込データフェーズ信号DPS（即ち、WDPS）をDRAM110に出力すると共に、当該書込データフェーズ信号WDPSはバッファ105内のDLL305及び受信位相比較回路306にも与えられている。

【0150】

この状態で、DRAM110から、読出データフェーズ信号RDPSを受けると、バッファ105のDLL305は、データ受信用バッファ内部クロック及びデータ受信用フィードバッククロックとを生成し、データレシーバ302及び受信用レプリカ308にそれぞれ出力する。受信用レプリカ308では、データ受信用フィードバッククロックから読出データフィードバック信号RDPSのレプリカ信号を受信位相比較回路306に出力する。この結果、受信位相比較回路306は、バッファ105から出力される書込データフェーズ信号WDPSを無視

して、読出データフェーズ信号 R D P S の位相について受信位相調整信号を D L L 305 に出力する。

【0151】

図示されたバッファ 105 では、D R A M 110 からの読出データフェーズ信号 R D P S からクロックを再生するように、D P S 出力用バッファ内部クロック信号を受信位相比較回路 306 に入力させて比較値の D L L へのフィードバックを禁止させている。

【0152】

図 25 には、図 23 に示された D R A M 110 における動作開始時のタイミングチャートが示されており、図 26 には、D R A M 110 の通常動作時のタイミングチャートが示されている。図 25 に示す動作開始時には、D R A M 110 からは、読出データフェーズ信号 R D P S はバッファ 105 に出力されない。図 25 では、図 22 と同様に、666MHz の D P S 出力用バッファ内部クロックがバッファ 105 で生成され、当該クロックは D P S 出力ドライバー 307 (図 24) によって 4 分周されて書込データフェーズ信号 W D P S がクロックに同期して出力される (図 25、第 2 ライン)。この書込データフェーズ信号 W D P S は、時間的に遅延して D R A M 110 に入力され (第 3 ライン)、更に、D R A M 110 内では、D L L 205 によって、受信された W D P S に対して位相の進んだデータ受信用フィードバッククロックが生成され (第 4 ライン)、受信用レプリカ 208 に出力され、当該受信レプリカ 208 から、W D P S のレプリカ信号が受信位相比較回路 206 に出力される (第 5 ライン参照)。

【0153】

D R A M 110 の D L L 205 では、受信位相比較回路 206 からの受信位相調整信号及び受信した W D P S にしたがって、データ受信用 D R A M 内部クロックをデータレシーバ 202 に出力する (第 6 ライン参照)。更に、D R A M 110 の D L L 205 は内部クロックに対して進み位相を有するデータ出力用フィードバッククロックを出力レプリカ 210 に出力する (第 7 ライン参照) 一方、当該データ出力用フィードバッククロックに同期して、データ出力用 D R A M 内部クロックを D Q 出力ドライバー 201 に供給する (第 9 ライン参照)。また、図

25の第8ラインに示されているように、出力レプリカ210からは、データ出力用フィードバック信号がレプリカ信号として、出力位相比較回路209に供給され、このレプリカ信号の存在のもとに、位相比較が行われ、第10ラインに示されるようなDPS出力用DRAM内部クロックがDPS出力ドライバー207に出力される。

【0154】

次に、図26を参照して、図23に示されたDRAM110の通常動作を説明する。この場合、図25の第2ライン及び第3ラインに示すように、バッファ110から書込データフェーズ信号WDPSが出力され、他方、DRAM110からは、読出データフェーズ信号RDPS（太線参照）が出力される。この場合、バッファ105では、DPS出力用クロックが発生され、これに同期した書込データフェーズ信号WDPSがDRAM110に送信され、DRAM110において、データ受信用フィードバッククロック、データ受信用フィードバッククロックのレプリカ信号、データ受信用DRAM内部クロック、データ出力用フィードバッククロック、及び、データ出力用DRAM内部クロックが発生されることは、図25と同様である（第4、5、6、7、8ライン参照）。更に、第9ラインに示すように、データ出力用DRAM内部クロックが発生されると、DLL205では、当該内部クロックを2クロック遅延させることにより、DPS出力用DRAM内部クロックを発生し、当該クロックに応じて、DPS出力ドライバー207から、読出データフェーズ信号RDPSを第10ラインの太線で示すように発生し、当該RDPSは、第2ラインに示すように、バッファ105で受信される。

【0155】

図27には、上記したRDPSを受信した場合におけるバッファ105（図24）のタイミングチャートが示されており、DRAM110から送信されるデータは本実施形態では読出データフェーズ信号RDPSのエッジに位相を合わせているものとし、この関係で、バッファ105では、受信用バッファ内部クロックの位相をデータ受信用フィードバッククロックから得られる受信用レプリカ308からのレプリカ信号の位相に対して、1/4だけシフトしている。

【0156】

以上の実施例ではデータフェーズシグナルから内部クロック信号を再生する場合、データフェーズシグナルからダイレクトにクロック再生する方式を示した。

【0157】

図28及び図29を参照すると、図23及び図24にそれぞれ示されたDRAM110及びバッファ105の変形例が示されている。図28に示されたDRAM110では、クロックCLKが外部からDLL205に与えられており、データフェーズ信号DPSがDLL205に与えられていない点で、図23に示されたDRAM110と相違している。この関係で、図示されたDLL205は、クロック再生位相調整回路として動作するだけでなく、クロックを分周する分周回路としても動作する。この構成では、クロック再生の際、外部クロック信号CLKをクロックソースとしてDLL205に供給し、当該クロックの位相のみをDLL205で調整していることが分かる。このように、外部クロックCLKをDLL205に与え、当該DLL205によって、クロックを位相調整することによっても、受信した書込データフェーズ信号WDPSから、データ受信用DRAM内部クロック及びデータ受信用フィードバッククロックを再生でき、また、DPS出力用DRAM内部クロックを発生して読出データフェーズ信号RDPSをバッファ105に送信することができる。

【0158】

図29に示されたバッファ105も、バッファ内部クロック信号がクロック位相調整回路として動作するDLL305に与えられている点で、図24に示されたバッファ105と相違している。図29に示された構成のバッファ105を使用した場合、DLL305は、受信位相比較回路306からの受信位相調整信号にしたがって、クロックの位相調整を行い、データ受信用バッファ内部クロック及びデータ受信用フィードバッククロックを生成することができる。

【0159】

図30を参照して、図28及び29に示されたバッファ105及びDRAM110の動作を説明する。この例では、DRAM110は、読出データフェーズ信号RDPSを出力しない初期状態の動作が示されている。図25と比較すると、図30に示された例では、DRAM110において、バッファ105と同様に、

666MHzの外部クロックが生成されている点で、図25と相違している（第3ライン参照）。他の動作は、当該外部クロックを参照して行われる点以外、図25と同様であるので、ここでは、説明を省略する。

【0160】

図31乃至図33を参照して、本発明に係るメモリシステムにおけるバッファ105とDRAM110間伝送方式の他の例を説明する。先に説明した例では、データフェーズ信号DPSを書込及び読出データフェーズ信号WDPS及びRDPSとして、バッファ105及びDRAM110の双方向から出力する場合について説明したが、図31では、書込データフェーズ信号WDPS及び読出データフェーズ信号RDPSを異なる信号線上にバッファ105及びDRAM110から出力していることが分かる。他のクロック（CLK）、コマンド・アドレス（Cmd/Add）、及び、データDQは、図18と同様である。この構成を採用することにより、単一の信号線上に、2つのデータフェーズ信号WDPS、RDPSを多重化する必要がないため、バッファ105及びDRAM110に使用されるDLLの構成を簡略化できる。

【0161】

図32を参照して、図31に示されたDRAM110のデータ書込時における動作を説明する。この場合、書込（ライト）コマンドWRT及びアドレス（Add）が、クロックに同期してバッファ105からDRAM110に出力される。このとき、書込データフェーズ信号WDPSがクロックCLKを4分周する形で、バッファ105からDRAM110に送信される（図32、第4ライン）。DRAM110内では、当該書込データフェーズ信号WDPSを基準として生成された内部クロックに応じて、データDQが所定のレイテンシー時間（WL）経過後、DRAM110内に書き込まれる（第5ライン参照）。

【0162】

一方、DRAM110内では、書込データフェーズ信号WDPSの受信タイミングとは異なるタイミングで、読出データフェーズ信号RDPSが書込データフェーズ信号WDPSとは異なる信号線上に出力される。

【0163】

図33に示すように、DRAM110では、読出コマンド（RED）及びアドレス（Add）を受信すると、読出データフェーズ信号RDPS（第4ライン）に基づいて生成される内部クロック（第1ライン）にしたがって、DRAM110から読出データDQ（第5ライン）をバッファ105に出力する。図からも明らかな通り、読出データフェーズ信号RDPSの出力タイミングは、書込データフェーズ信号WDPSの受信タイミングと異なっている。この例では、書込データフェーズ信号WDPSと読出データフェーズ信号RDPSとは、両者間の相互干渉、クロストーク等の出力ノイズを回避するために、両者間に2クロック分だけずらされている。

【0164】

次に、図34及び図35を参照して、図31に示されたDRAM110及びバッファ105の具体例を説明する。図34に示されたDRAM110を図23に示されたDRAM110とを比較すると、図34のDRAM110には、書込データフェーズ信号WDPSと読出データフェーズ信号RDPSとが互いに異なる信号線を介して、入出力されている点で、図23のDRAM110と相違している。この関係で、読出データフェーズ信号出力ドライバー207'が、読出データフェーズ信号RDPS送信用信号線に接続され、DRAM110のDLL205及び書込データフェーズ信号WDPSの信号線から切り離されている点で、図23と相違しており、他の構成要素は、図23と同様である。

【0165】

また、図35に示されたバッファ105は、書込データフェーズ信号WDPS送信用ドライバーが書込データフェーズ信号送信用信号線に接続され、読出データフェーズ信号RDPS受信用信号線及びバッファ105のDLL305から切り離されている点で、図24のバッファ105と相違しており、それ以外の構成要素は、図24と同様である。

【0166】

ここで、図34及び図35に示されたDRAM110及びバッファ105間のタイミング関係を、図36を参照して概略的に説明しておく。まず、図36に示すように、バッファ105では、周波数666MHzを有するクロックを発生し

(第 1 ライン)、当該クロックを 4 分周して書込データフェーズ信号 WDP S を書込データフェーズ信号線に出力する (第 2 ライン)。書込データフェーズ信号 WDP S は、時間的に遅延して第 3 ラインに示すように DRAM 1 1 0 に受信される。DRAM 1 1 0 は、受信した書込データフェーズ信号 WDP S を 4 通倍して周波数 6 6 6 MHz の内部クロックを生成し (第 4 ライン)、2 クロックだけずらすと共に、4 分周することにより、第 5 ラインに示すような読出データフェーズ信号 RDP S を読出データフェーズ信号線に出力する。当該読出データフェーズ信号 RDP S は第 6 ラインに示すタイミングでバッファ 1 0 5 において受信され、バッファ 1 0 5 では、受信した読出データフェーズ信号 RDP S からデータ受信用の内部クロックが第 7 ラインに示すように生成される。

【0 1 6 7】

図 3 7 をも参照して、図 3 4 に示された DRAM 1 1 0 の通常時における動作をより詳細に説明する。尚、動作開始時における動作は、図 3 4 の DRAM 1 1 0 と図 2 3 の DRAM 1 1 0 とは同様であるので、説明を省略する。図 3 4 に示された DRAM 1 1 0 には、バッファ 1 0 5 から書込データフェーズ信号 WDP S が書込データフェーズ信号線を介して与えられ (図 3 7、第 3 ライン参照)、当該書込データフェーズ信号 WDP S は図 3 4 の DLL 2 0 5、受信位相比較回路 2 0 6 及び出力位相比較回路 2 0 9 で受信される。この結果、受信位相比較回路 2 0 6 及び出力位相比較回路 2 0 9 には、図 3 7 の第 5 及び第 8 ラインに示すような書込データフェーズ信号 WDP S がそれぞれ入力信号として与えられる。

【0 1 6 8】

DLL 2 0 5 は、受信位相比較回路 2 0 6 及び出力位相比較回路 2 0 9 からの受信位相調整信号及び出力位相調整信号をも参照して、図 3 7 の第 4 ラインに示すようなデータ受信用フィードバッククロック及び第 6 ラインに示すようなデータ受信用 DRAM 内部クロックをそれぞれ受信用レプリカ 2 0 8 及びデータレシーバ 2 0 2 に出力する。

【0 1 6 9】

更に、DLL 2 0 5 は、第 7 及び第 9 ラインに示すようなデータ出力用フィードバッククロック及びデータ出力用 DRAM 内部クロックをそれぞれ出力レプリ

カ 210 及び DQ 出力ドライバー 201 に供給する。このうち、データ出力用 DRAM 内部クロックは DLL 205 内で 4 分周され、第 10 ラインに示すように、RDP S 出力用 DRAM 内部クロックとして、RDP S 出力ドライバー 207' に供給され、当該出力ドライバー 207' からは、第 11 ラインに示すような読出データフェーズ信号 RDP S がバッファ 105 に出力される。

【0170】

図 35 及び図 38 を参照して、バッファ 105 における読出データ受信時の動作を説明する。WD P S 出力用バッファ内部クロック（第 3 ライン）によって、書込データフェーズ信号 WD P S が当該信号線上に出力され（第 2 ライン）、読出データフェーズ信号線を介して読出データフェーズ信号 RDP S がバッファ 105 の DLL 305 及び受信位相比較回路 306 に与えられる（第 5 ライン）。DLL 305 は、受信位相比較回路 306 からの受信位相調整信号を参照して、第 4 ライン及び第 6 ラインに示すようなデータ受信用フィードバッククロック及びデータ受信用バッファ内部クロックを受信用レプリカ 308 及びデータレシーバ 302 に供給する。ここで、図示されたデータ受信用バッファ内部クロックは、読出データフェーズ信号 RDP S に対して 1/4 位相だけシフトされている。

【0171】

図 39 及び図 40 を参照して、図 31 に示された伝送方式を実現できる DRAM 110 及びバッファ 105 の他の例を説明する。図 39 に示された DRAM 110 には、図 28 と同様にクロック CLK が外部から与えられている点で、図 34 の DRAM 110 と相違しており、他方、図 40 に示されたバッファ 105 の DLL 305 にバッファ内部クロック信号が与えられている点で、図 35 に示されたバッファ 105 と相違している。図 39 では、外部クロックが DRAM 110 内の DLL 205 に与えられ、他方、書込データフェーズ信号 WD P S は受信位相比較回路 206 及び出力位相比較回路 209 に供給されている。この構成によっても、図 34 と同様な動作を実現できる。

【0172】

また、図 40 に示されたバッファ 105 の受信位相比較回路 306 に、DRAM 110 からの読出データフェーズ信号 RDP S が与えられ、DLL 305 は、

受信位相比較回路 3 0 6 からの受信位相調整信号及びバッファ内部クロック信号にしたがって、データ受信用フィードバッククロック及びデータ受信用バッファ内部クロックを生成している。この構成によっても、図 3 5 と同様な動作が可能である。

【0 1 7 3】

前述した伝送方式は、全てモジュール上に搭載されたバッファと D R A M との間のデータ伝送について説明したが、本発明は、何等、これに限定されない。例えば、D R A M 以外のメモリ回路、例えば、ROM にも適用可能である。更に、本発明は、双方向にデータを伝送するシステム或いはストロブ信号を必要とするようなシステムに適用しても、データ伝送を高速に行うことができる。

【0 1 7 4】

【発明の効果】

本発明では、メモリコントローラと、モジュール上に、メモリ回路と共に、バッファをも搭載しておき、バッファを介して、モジュール上のメモリ回路とのデータ配線を含む配線を行うと共に、データ配線を含む配線をカスケード接続することにより、配線をモジュール毎に分岐する必要がなくなるため、インピーダンスの不整合による反射等を防止でき、高周波において高速で動作できるシステムが得られる。また、本発明によれば、メモリモジュールとバッファ間の伝送速度をバッファとメモリ回路間の伝送速度よりも速くすることにより、メモリコントローラに接続されるモジュールの数を多くすることができ、且つ、メモリ回路の書込、読出速度に依存しないシステムを構成できる。

【0 1 7 5】

本発明の一実施形態では、データ配線だけでなく、クロック及びコマンド・アドレス配線をも、メモリコントローラから各モジュール上のバッファに接続することにより、モジュールに搭載された各メモリ回路とメモリコントローラとの距離をほぼ等しくすることができるため、配線毎に遅延時間が異なることによるタイミングの相違を無くすることができる。また、本発明の他の実施形態によれば、各モジュール毎に複数のバッファを設け、当該バッファをそれぞれモジュール内のメモリ回路に接続することにより、各バッファ及び配線に加わる負荷を分散で

きる。更に、本発明の別の実施形態によれば、同時に選択されるメモリ回路を複数のモジュールに分散して配置して、各モジュールのバッファを個別にメモリモジュールと配線することにより、バッファの数を増加させることなく、各バッファに加わる負荷を分散できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係るメモリシステムを説明するためのブロック図である。

【図 2】

図 1 に示されたメモリシステムの実際の構造を説明する概略実体配線図である。

【図 3】

図 1 及び図 2 に示されたメモリシステムの配線をより具体的に説明する断面図である。

【図 4】

本発明の第 2 の実施形態に係るメモリシステムを示すブロック図である。

【図 5】

図 4 に示されたメモリシステムを示す概略実体配線図である。

【図 6】

本発明の第 3 の実施形態に係るメモリシステムを示すブロック図である。

【図 7】

本発明の第 3 の実施形態に係るメモリシステムの第 1 の変形例を示すブロック図である。

【図 8】

本発明の第 3 の実施形態に係るメモリシステムの第 2 の変形例を示すブロック図である。

【図 9】

本発明の第 3 の実施形態に係るメモリシステムの第 3 の変形例を示すブロック図である。

【図 1 0】

本発明の第 3 の実施形態に係るメモリシステムの第 4 の変形例を示すブロック図である。

【図 1 1】

本発明の第 1 乃至第 3 の実施形態において、メモリコントローラとバッファ間の伝送方式を説明するブロック図である。

【図 1 2】

図 1 1 に示された伝送方式の動作を説明するタイムチャートである。

【図 1 3】

図 1 1 に示された伝送方式の書込時における動作を説明するタイムチャートである。

【図 1 4】

図 1 1 に示された伝送方式の読出時における動作を説明するタイムチャートである。

【図 1 5】

図 1 1 に示された伝送方式のコマンド・アドレス信号に係る動作を説明するタイムチャートである。

【図 1 6】

本発明の第 1 乃至第 3 の実施形態に係るメモリシステムに使用されるバッファと DRAM との間の伝送方式を説明するブロック図である。

【図 1 7】

(a) 及び (b) は、それぞれ、図 1 6 の伝送方式における書込及び読出動作を説明するタイムチャートである。

【図 1 8】

図 1 6 及び図 1 7 を参照して説明した伝送方式をより高速化できる本発明の伝送方式を説明するブロック図である。

【図 1 9】

図 1 8 の伝送方式を採用したバッファと DRAM のドライバー部分の構成を示す回路図である。

【図 20】

図 18 の伝送方式を採用したバッファと D R A M のドライバー部分の他の構成例を示す回路図である。

【図 21】

(a) 及び (b) は、それぞれ、図 20 の伝送方式を採用した場合における書込及び読出動作を説明するタイムチャートである。

【図 22】

図 18 の伝送方式における信号のタイミング関係を概略的に説明するタイムチャートである。

【図 23】

図 18 に示された伝送方式を実現できる D R A M の構成を説明するブロック図である。

【図 24】

図 18 に示された伝送方式を実現できるバッファの構成を説明するブロック図である。

【図 25】

図 23 に示された D R A M における動作開始時のタイミング関係を説明するタイミングチャートである。

【図 26】

図 23 に示された D R A M における通常動作時のタイミング関係を説明するタイミングチャートである。

【図 27】

図 24 に示されたバッファの読出時におけるタイミング関係を説明するタイムチャートである。

【図 28】

本発明に係る伝送方式を実現できる D R A M の例を示すブロック図である。

【図 29】

図 28 に示された D R A M との間で信号の送受を行うことができるバッファのブロック図である。

【図 3 0】

図 2 8 に示された D R A M の動作を説明するためのタイムチャートである。

【図 3 1】

バッファと D R A M 間の伝送方式の変形例を説明するブロック図である。

【図 3 2】

図 3 1 に示された D R A M の読出時の動作を説明するタイミングチャートである。

【図 3 3】

図 3 1 に示された D R A M の書込時における動作を説明するタイミングチャートである。

【図 3 4】

図 3 1 に示された D R A M の構成を具体的に説明するブロック図である。

【図 3 5】

図 3 1 に示されたバッファの構成を具体的に説明するブロック図である。

【図 3 6】

図 3 4 及び図 3 5 の D R A M 及びバッファにおけるタイミング関係を説明するタイミングチャートである。

【図 3 7】

図 3 4 に示された D R A M の動作をより具体的に説明するタイミングチャートである。

【図 3 8】

図 3 5 に示されたバッファの動作を説明するタイミングチャートである。

【図 3 9】

図 3 1 に示された伝送方式に適用できる D R A M の他の例を示すブロック図である。

【図 4 0】

図 3 9 に示された D R A M と協働できるバッファの例を示すブロック図である。

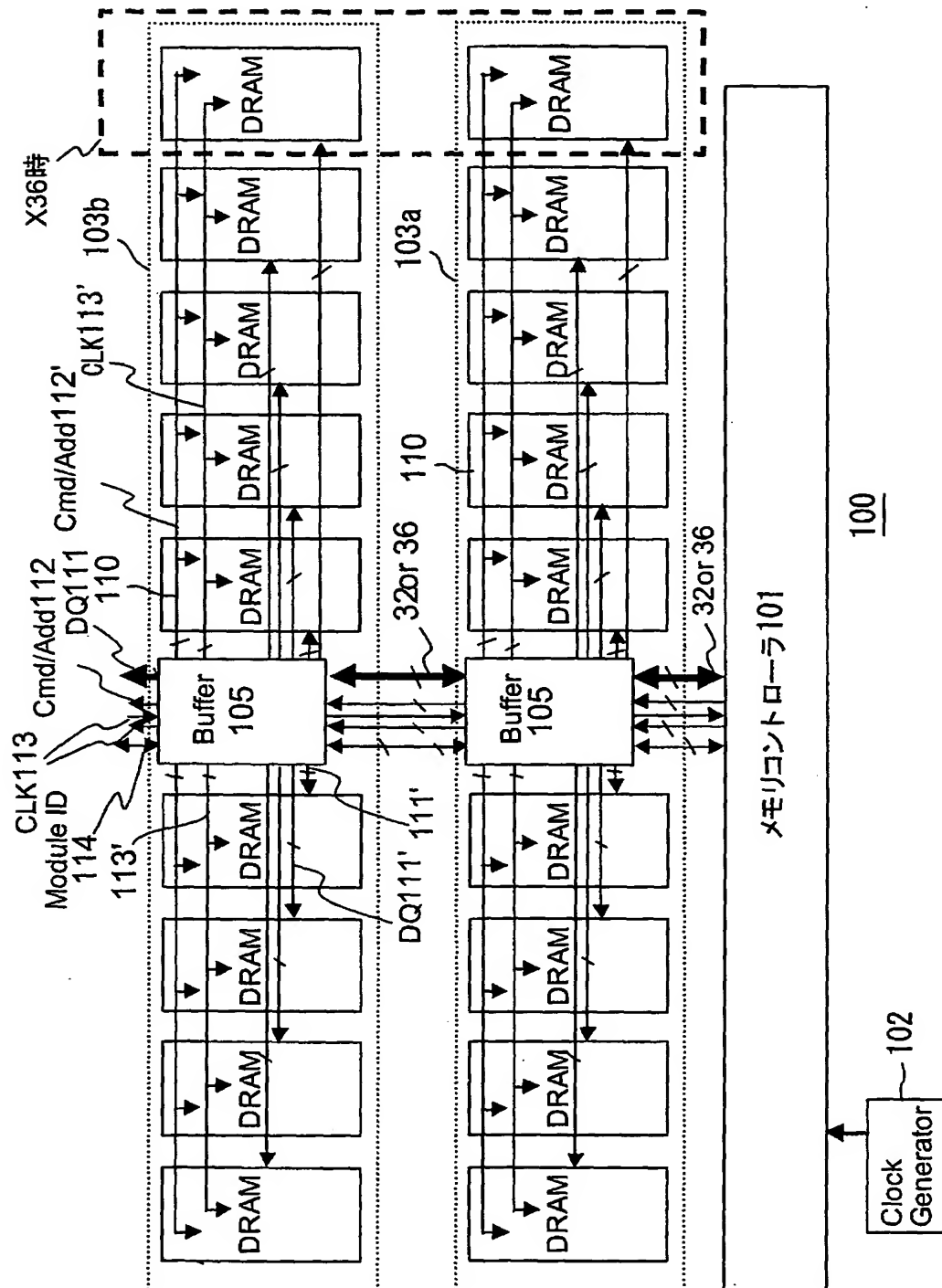
【符号の説明】

1 0 0	マザーボード
1 0 1	メモリコントローラ
1 0 2	クロック発生器
1 0 3	モジュール
1 0 5	バッファ
1 1 0	DRAM
1 1 1	データ配線
1 1 2	コマンド・アドレス配線
1 1 3	クロック配線
1 1 1'	内部データ配線
1 1 2'	内部コマンド・アドレス配線
1 1 3'	内部クロック配線

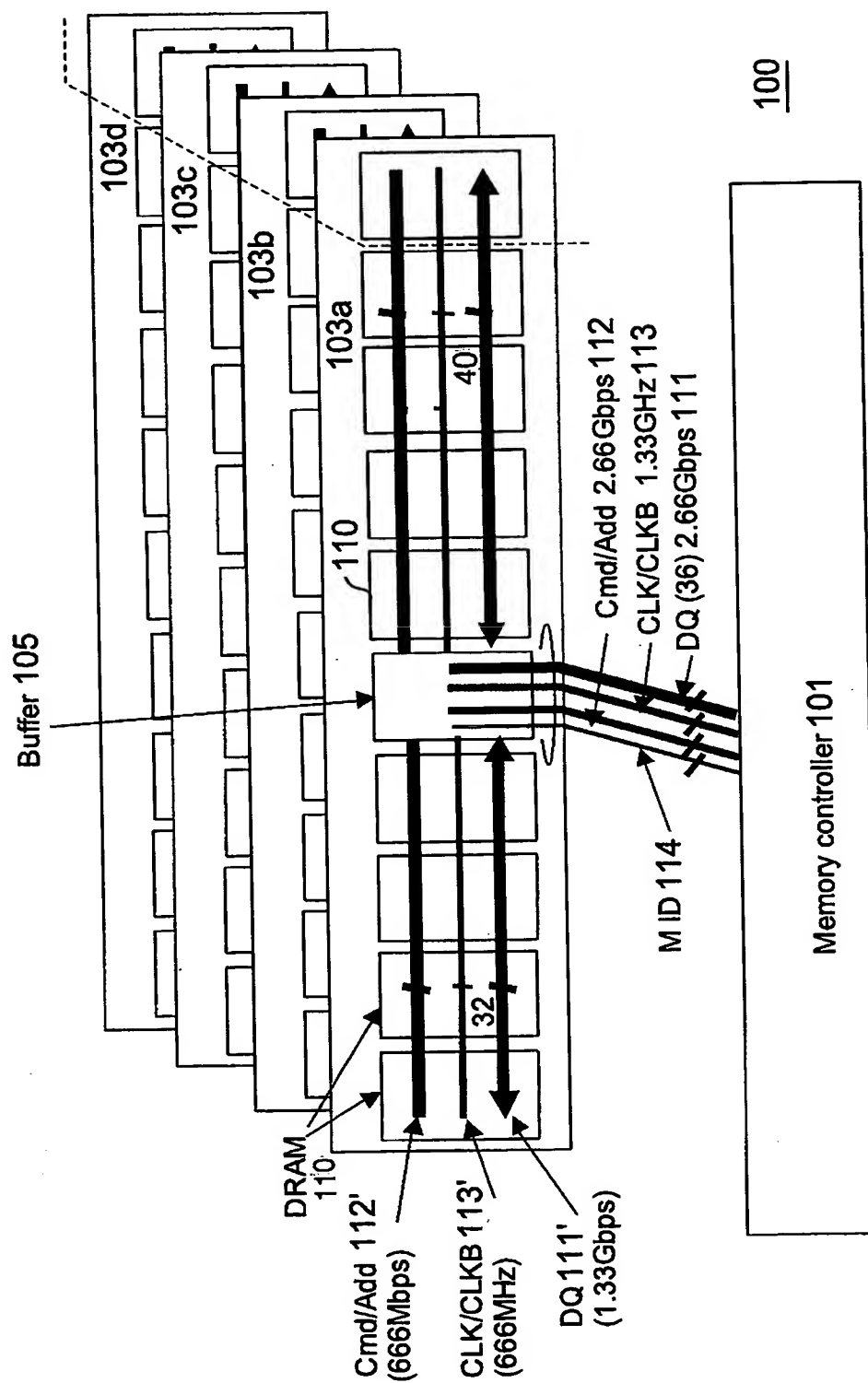
【書類名】

図面

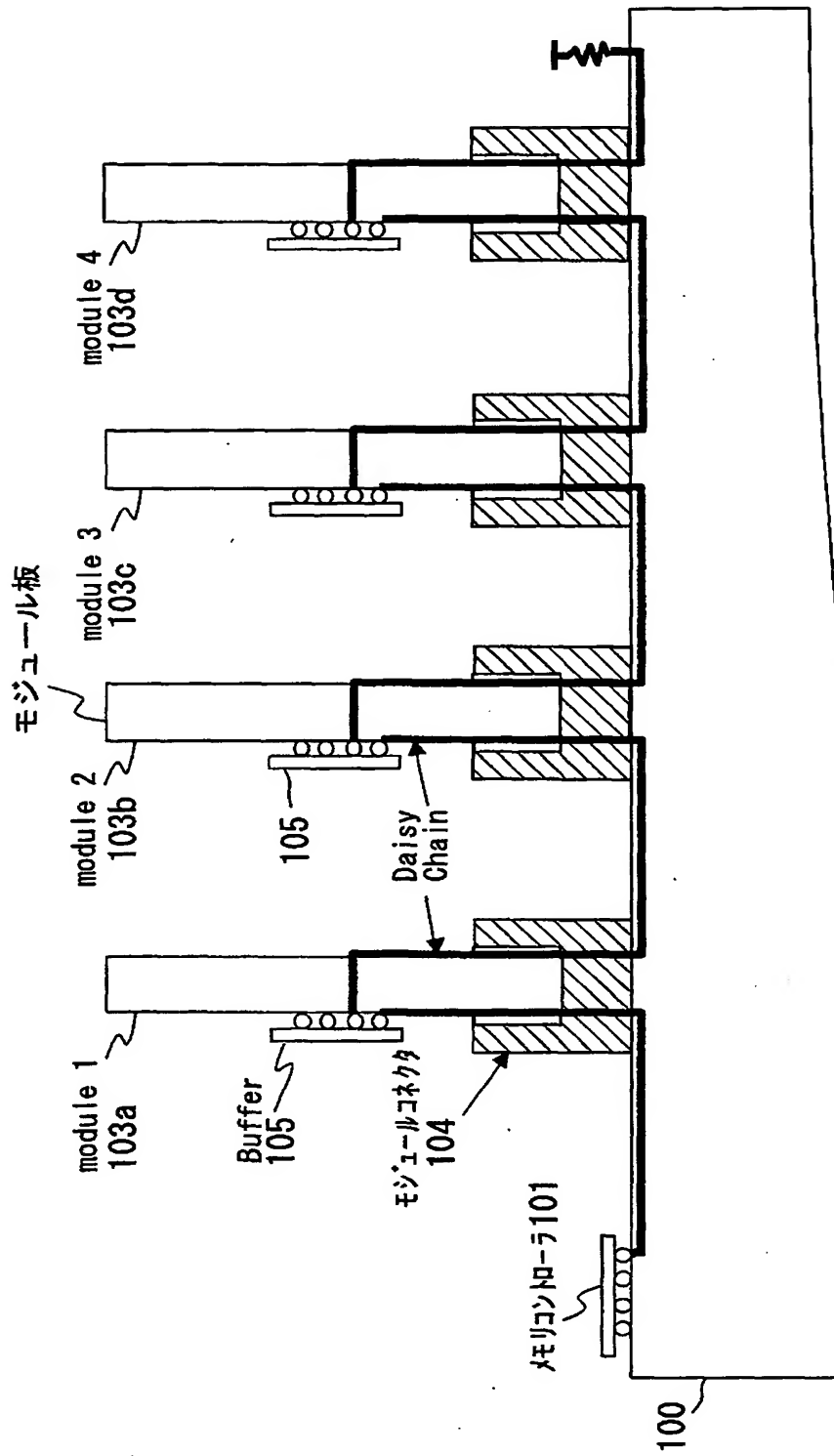
【図 1】



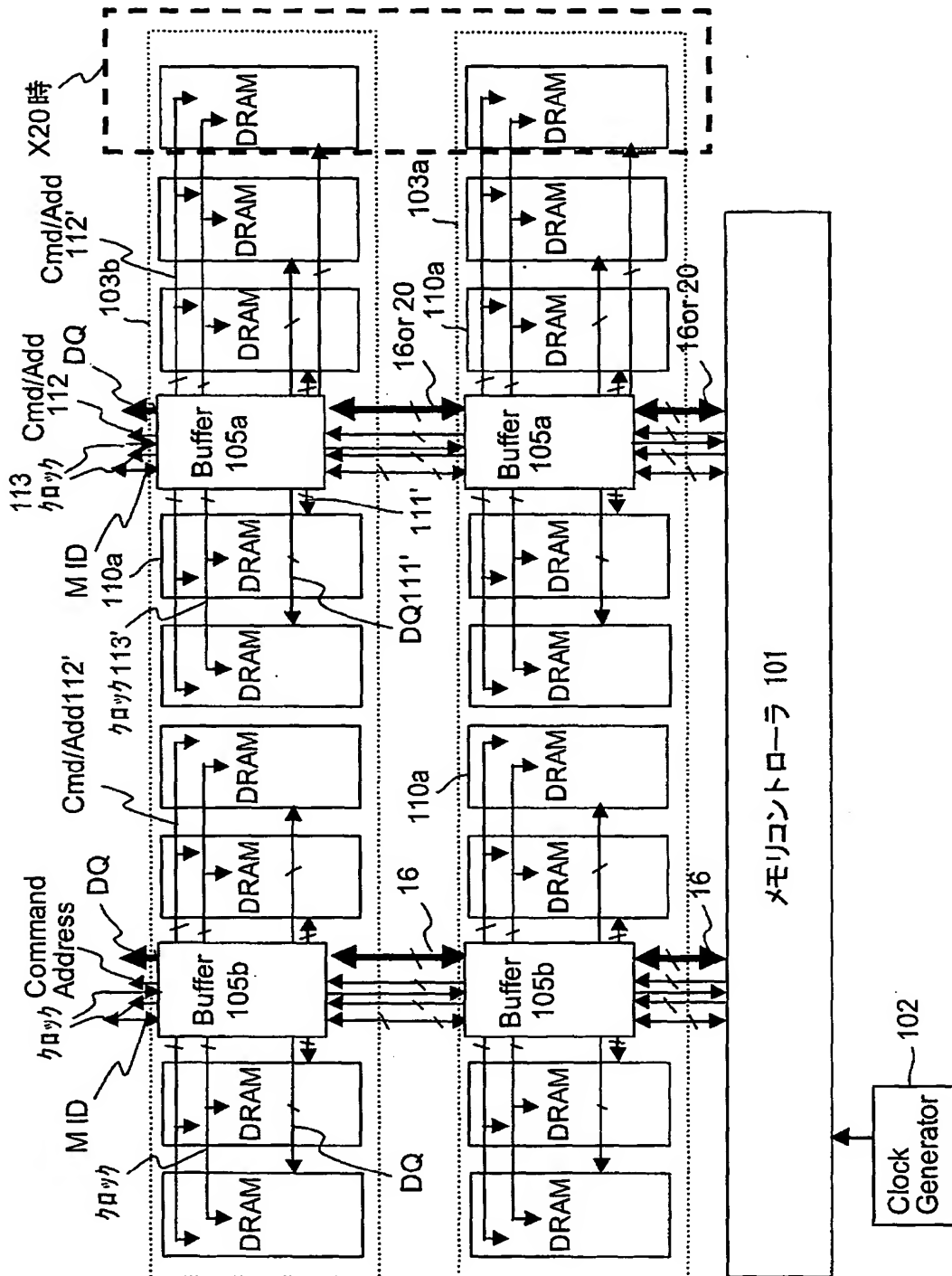
【図 2】



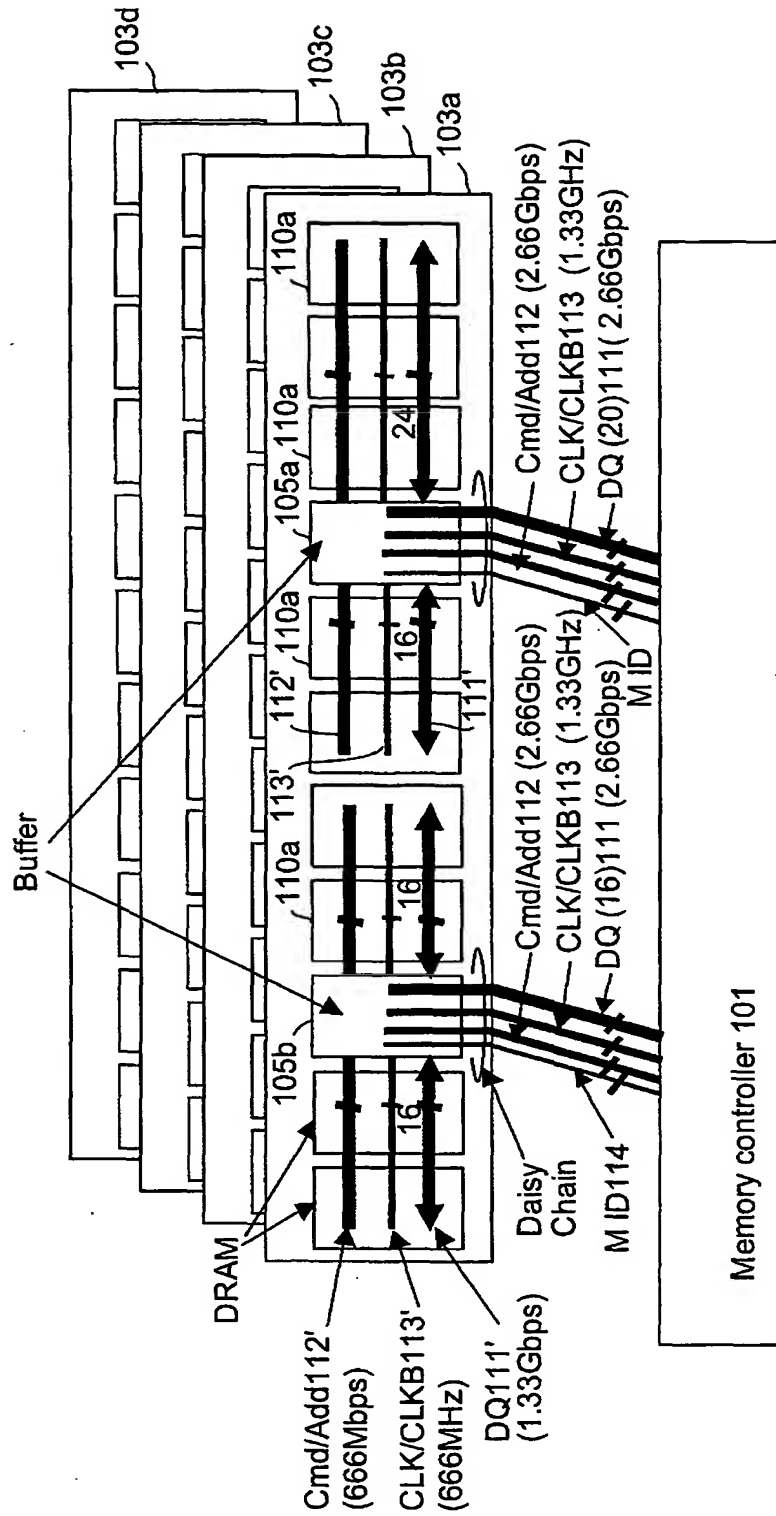
【図 3】



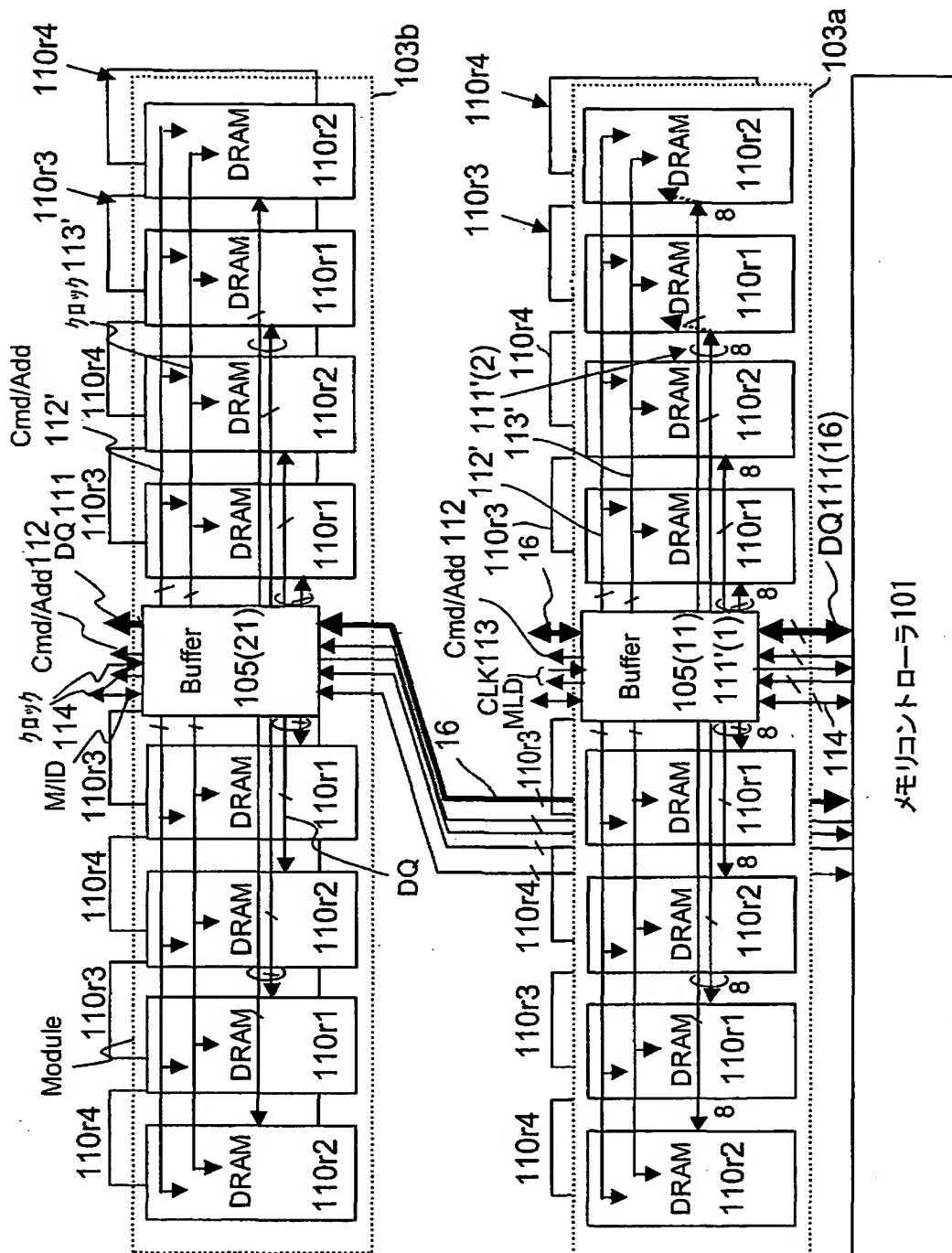
【図 4】



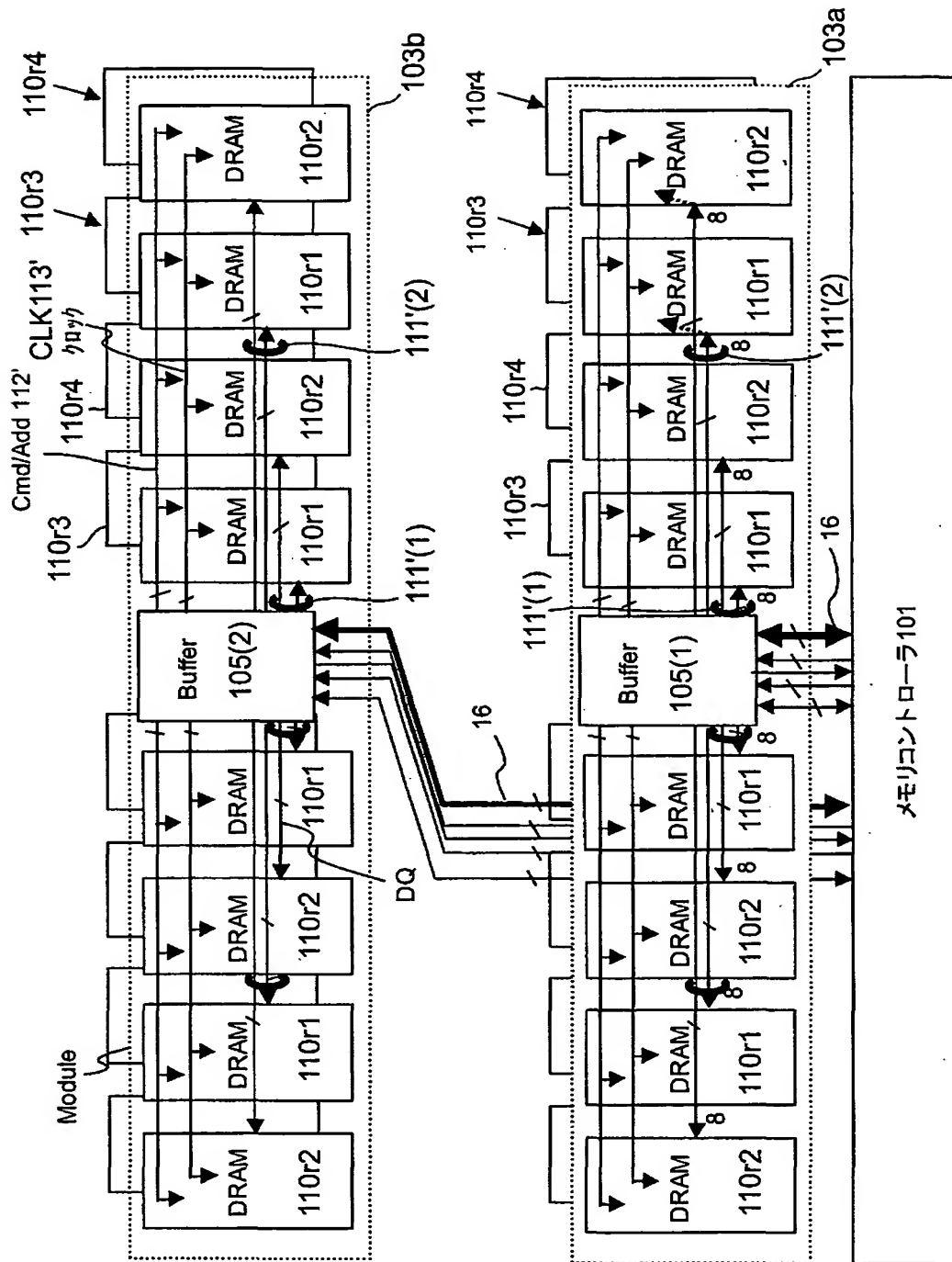
【図 5】



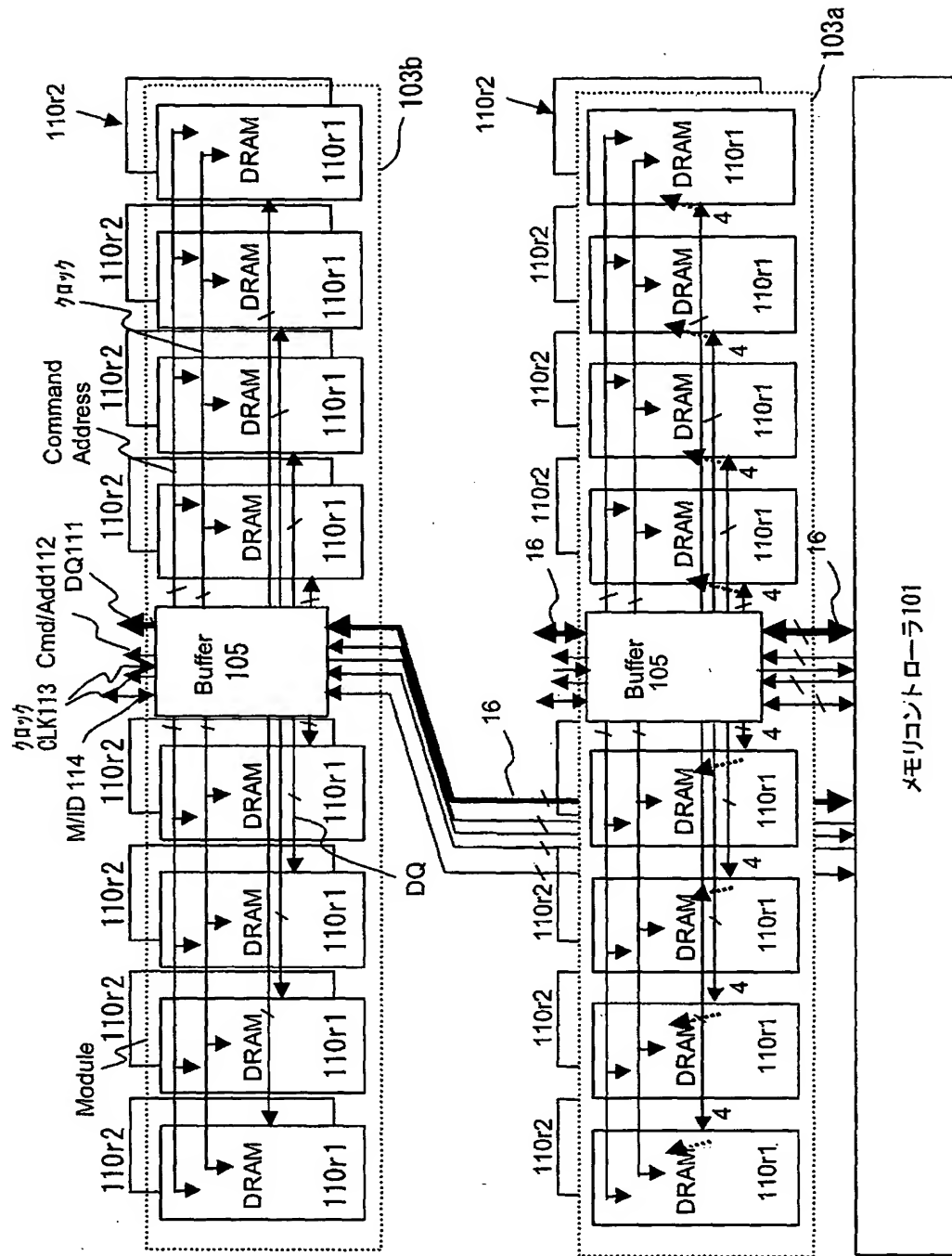
【図 6】



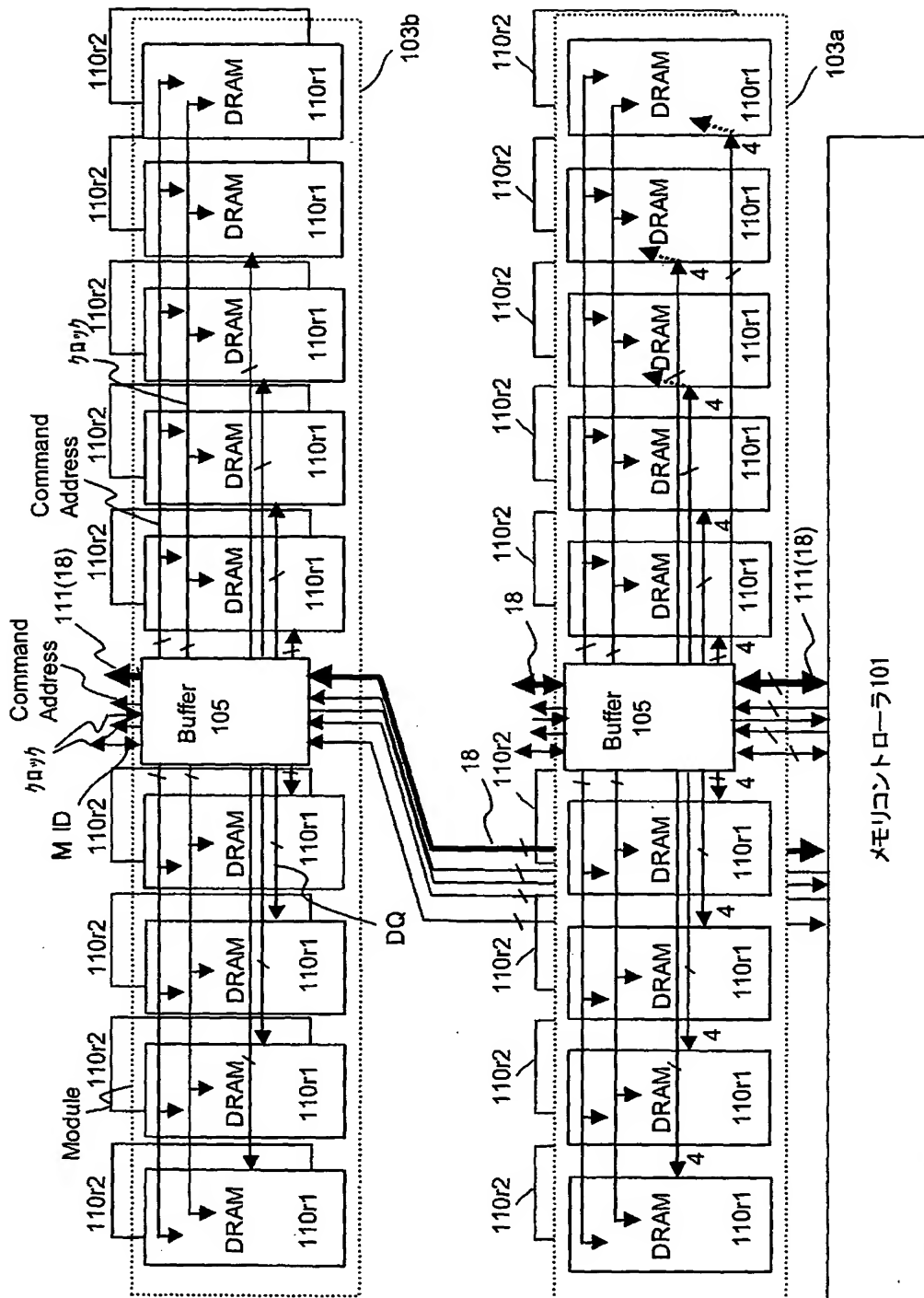
【図 7】



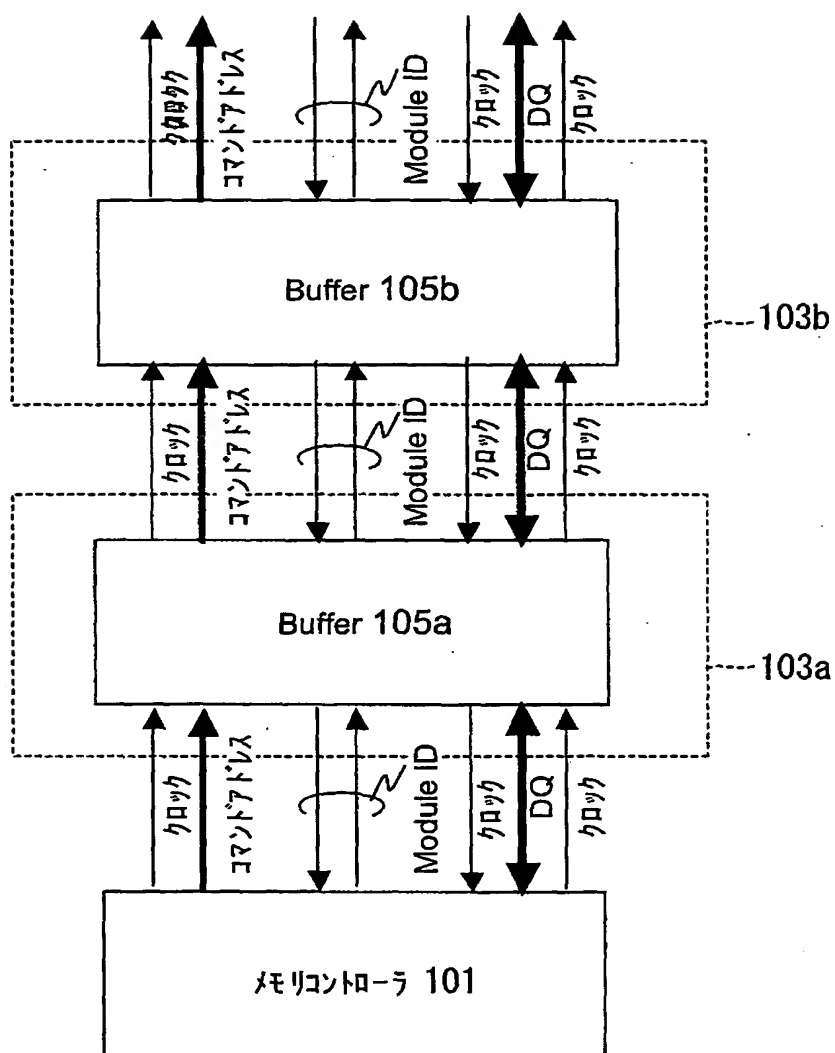
【図 9】



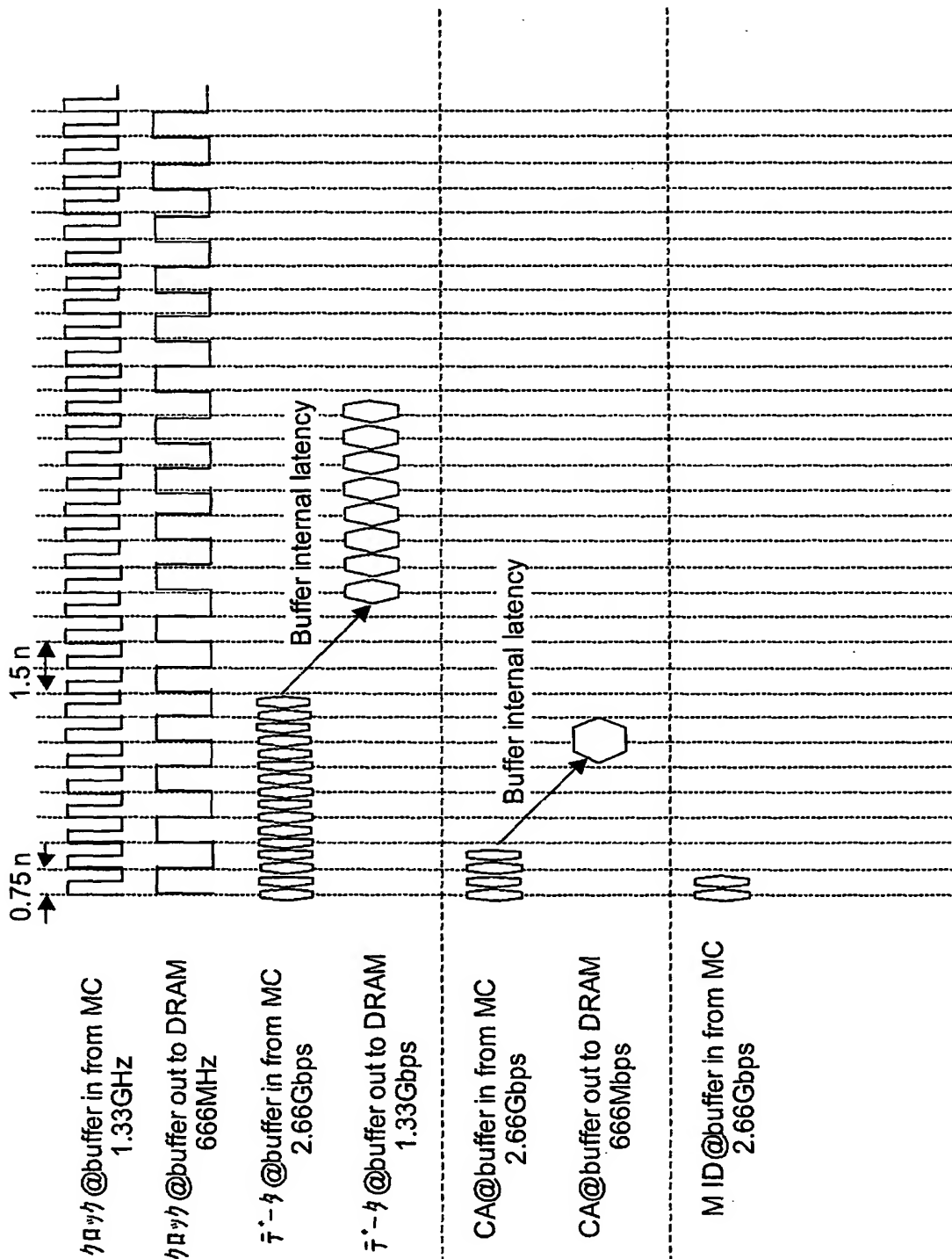
【図 10】



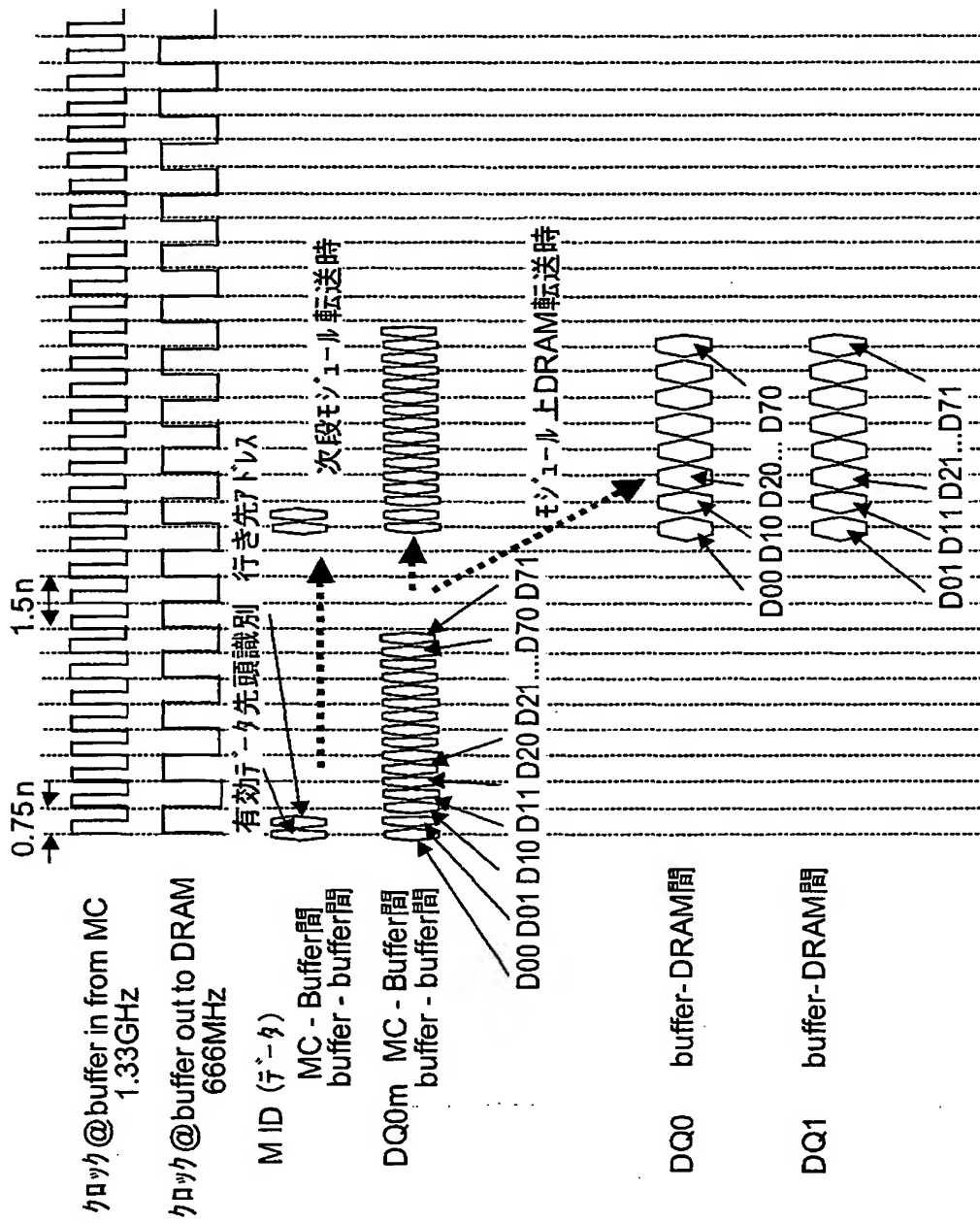
【図 11】



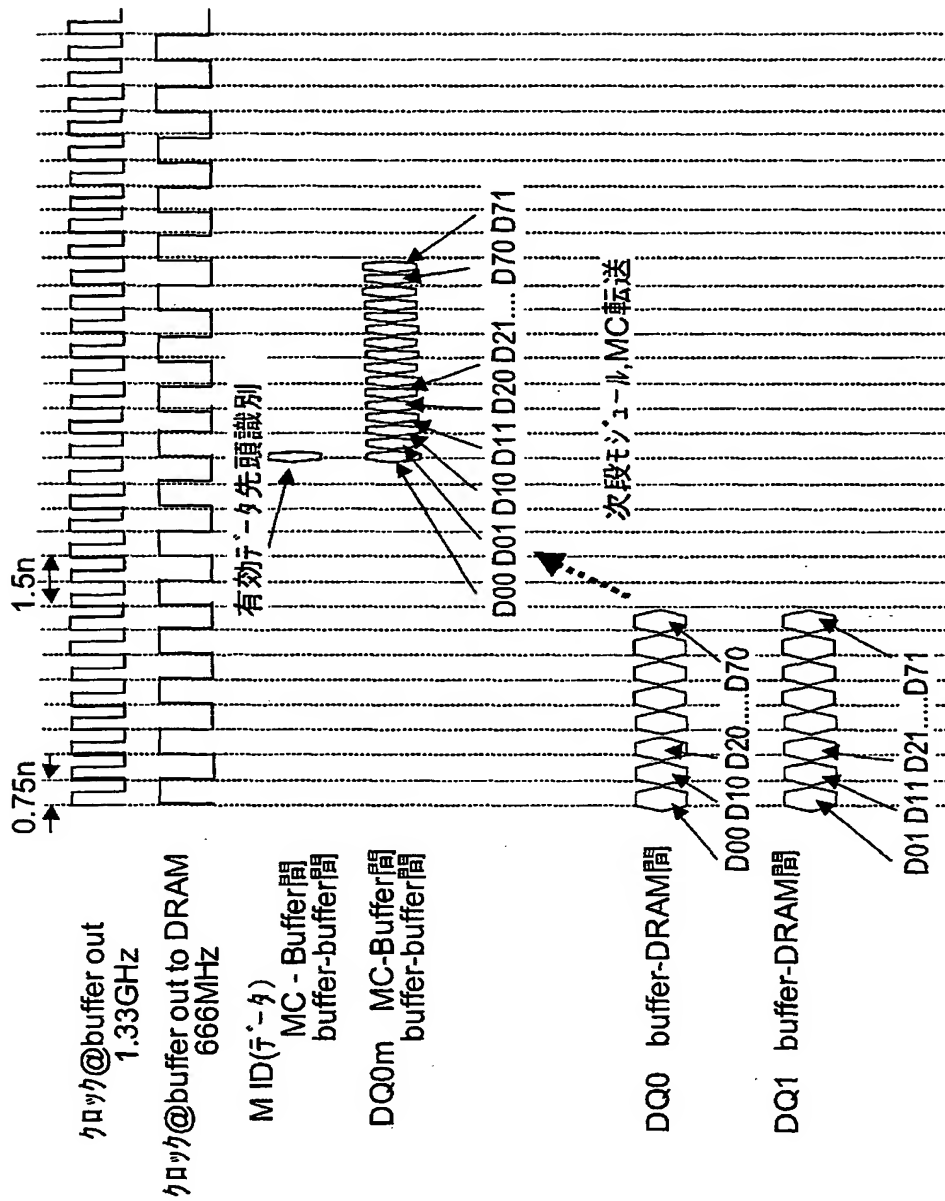
【図 12】



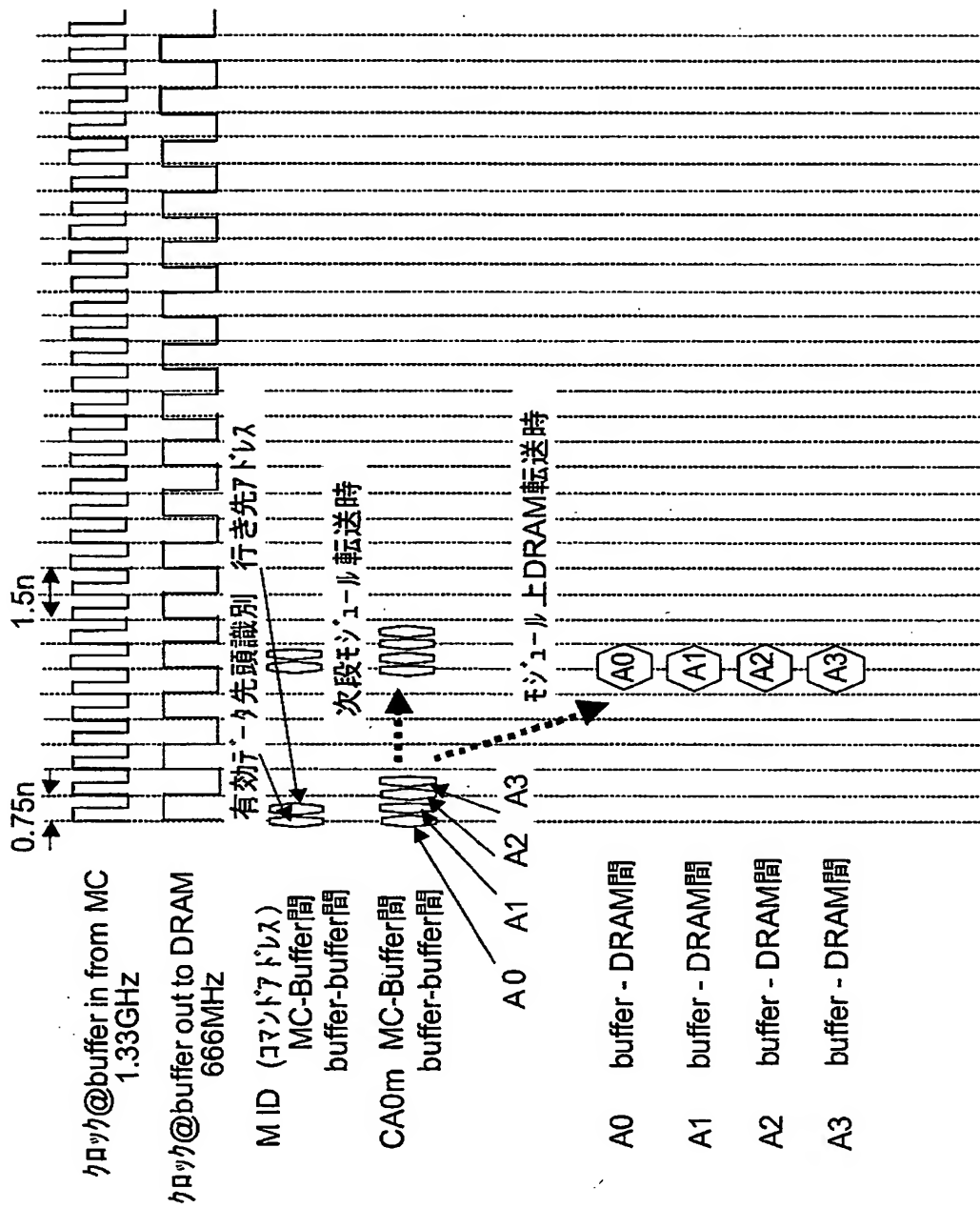
【図 13】



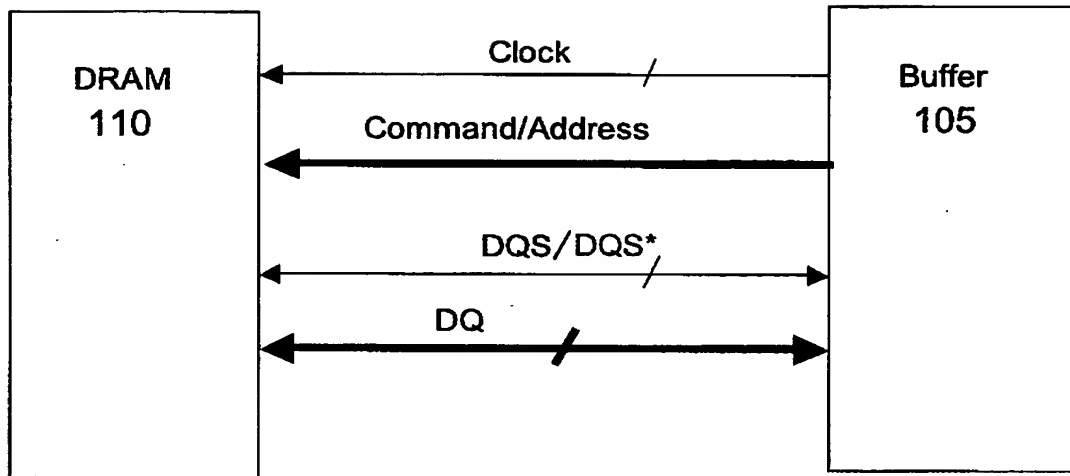
【図 14】



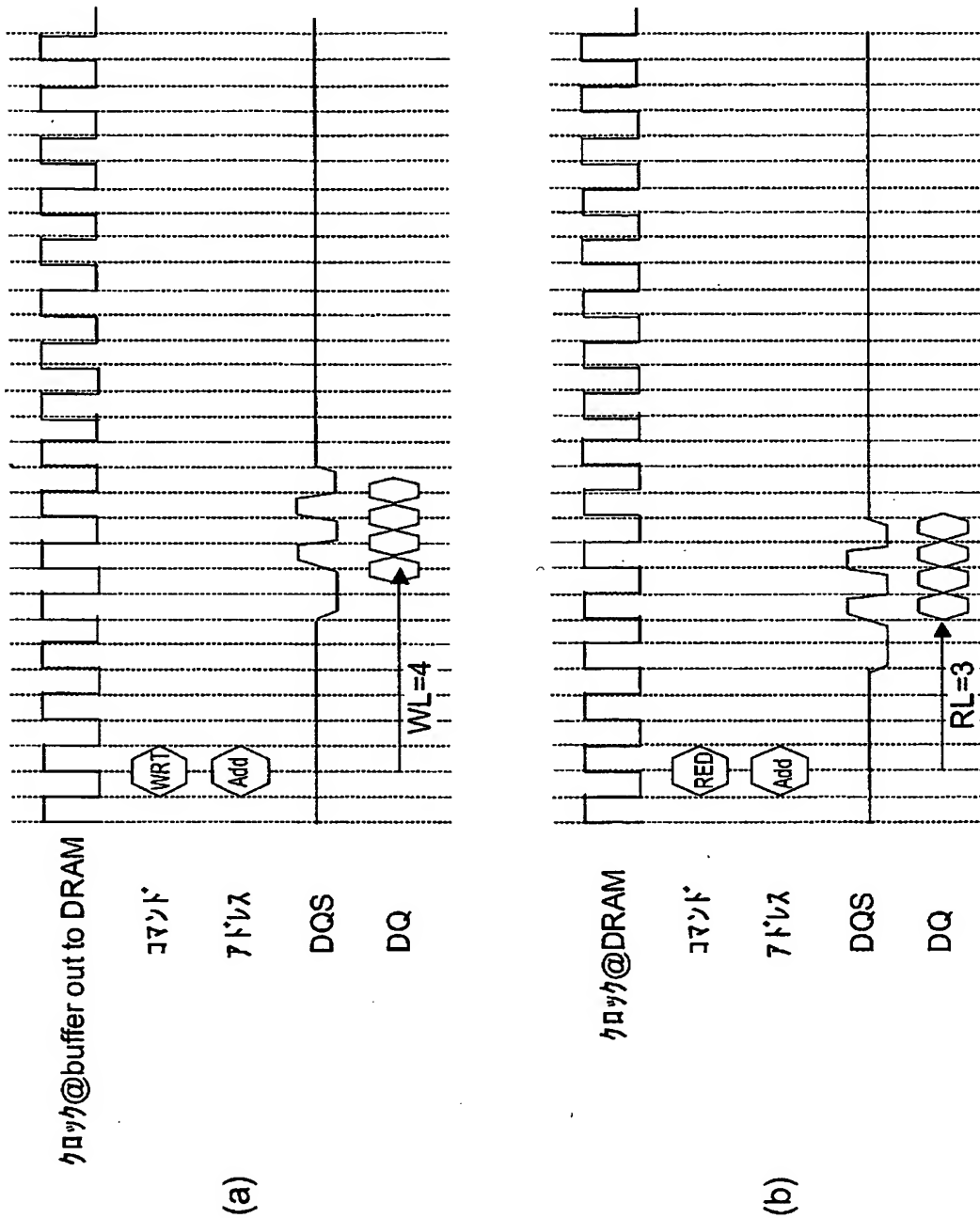
【図 15】



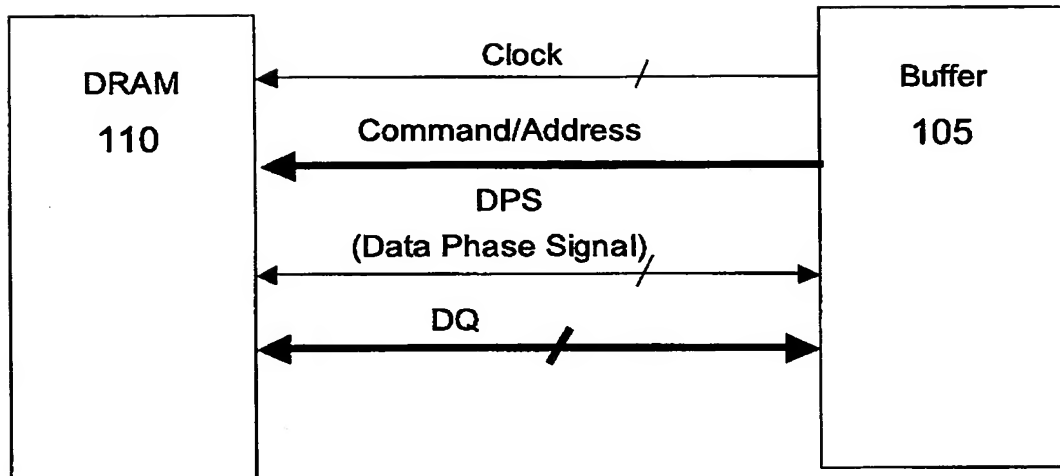
【図 1 6】



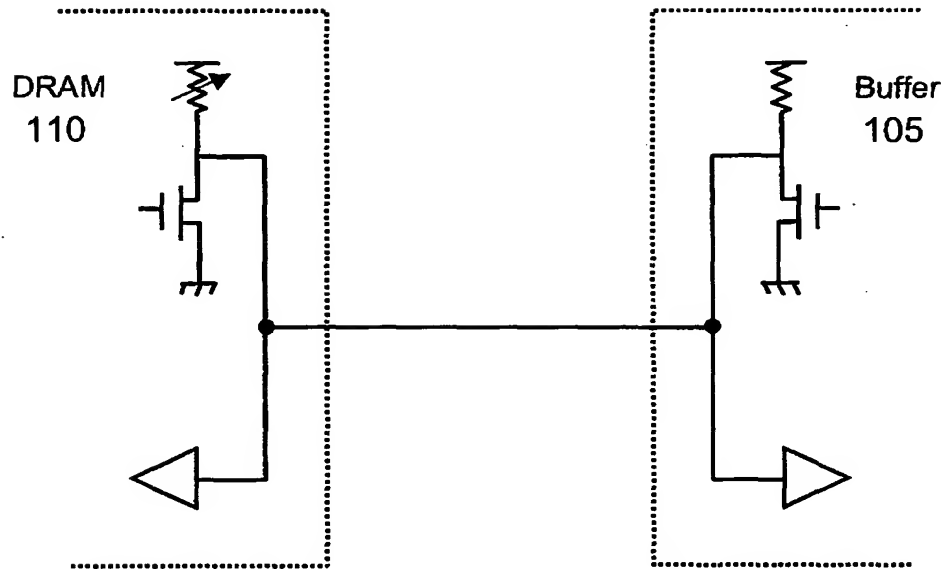
【図 17】



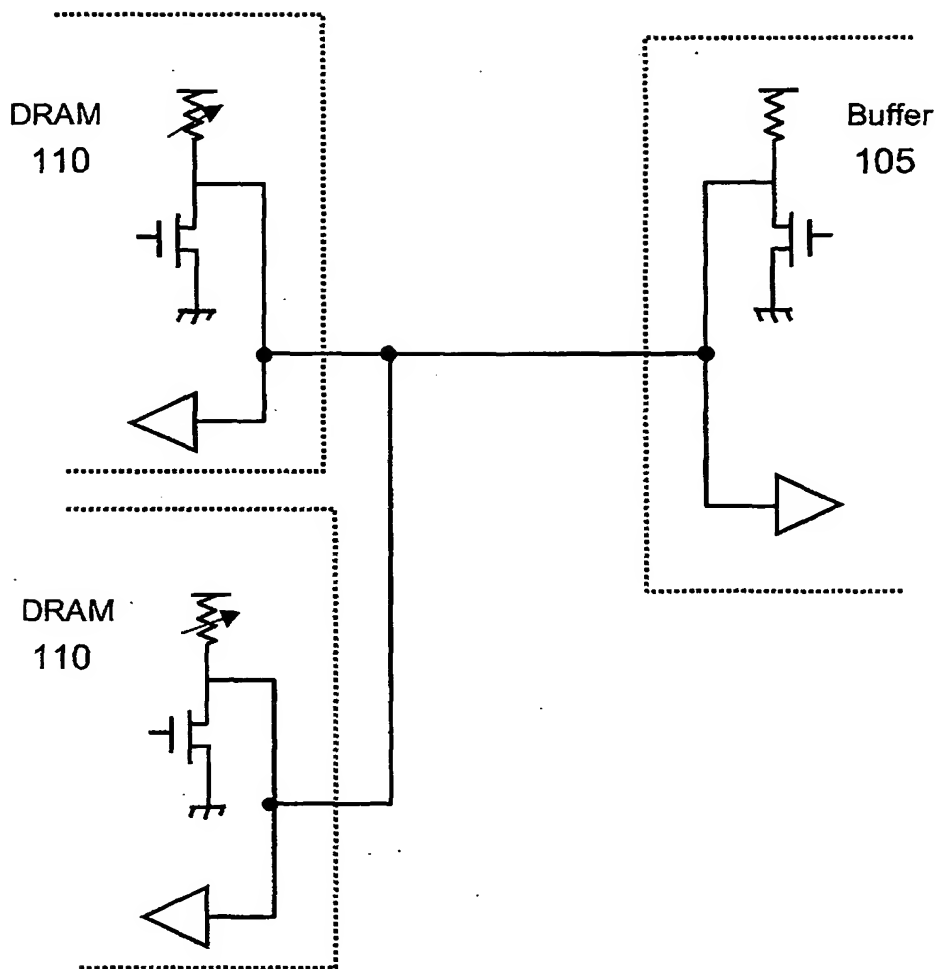
【図 1 8】



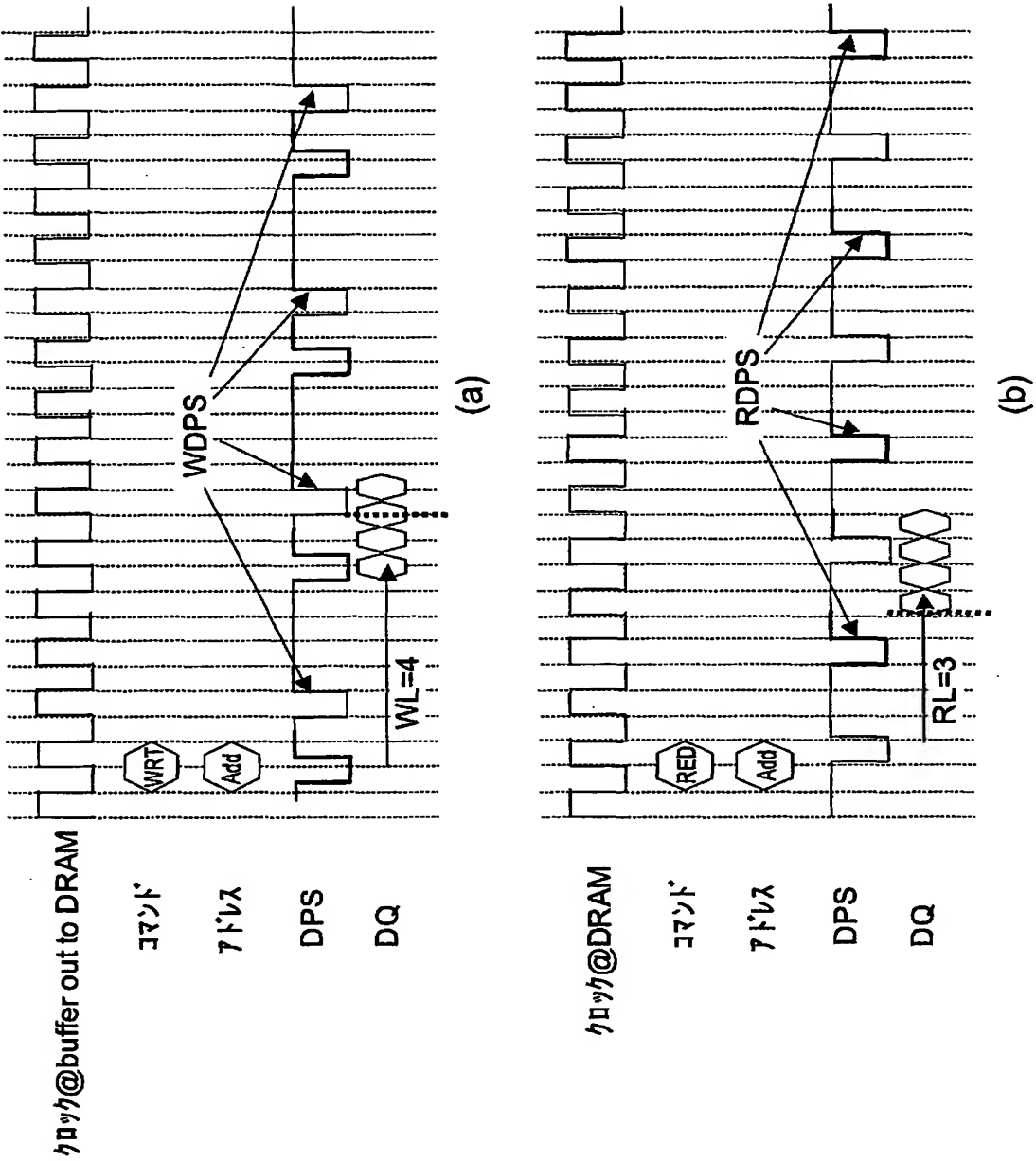
【図 19】



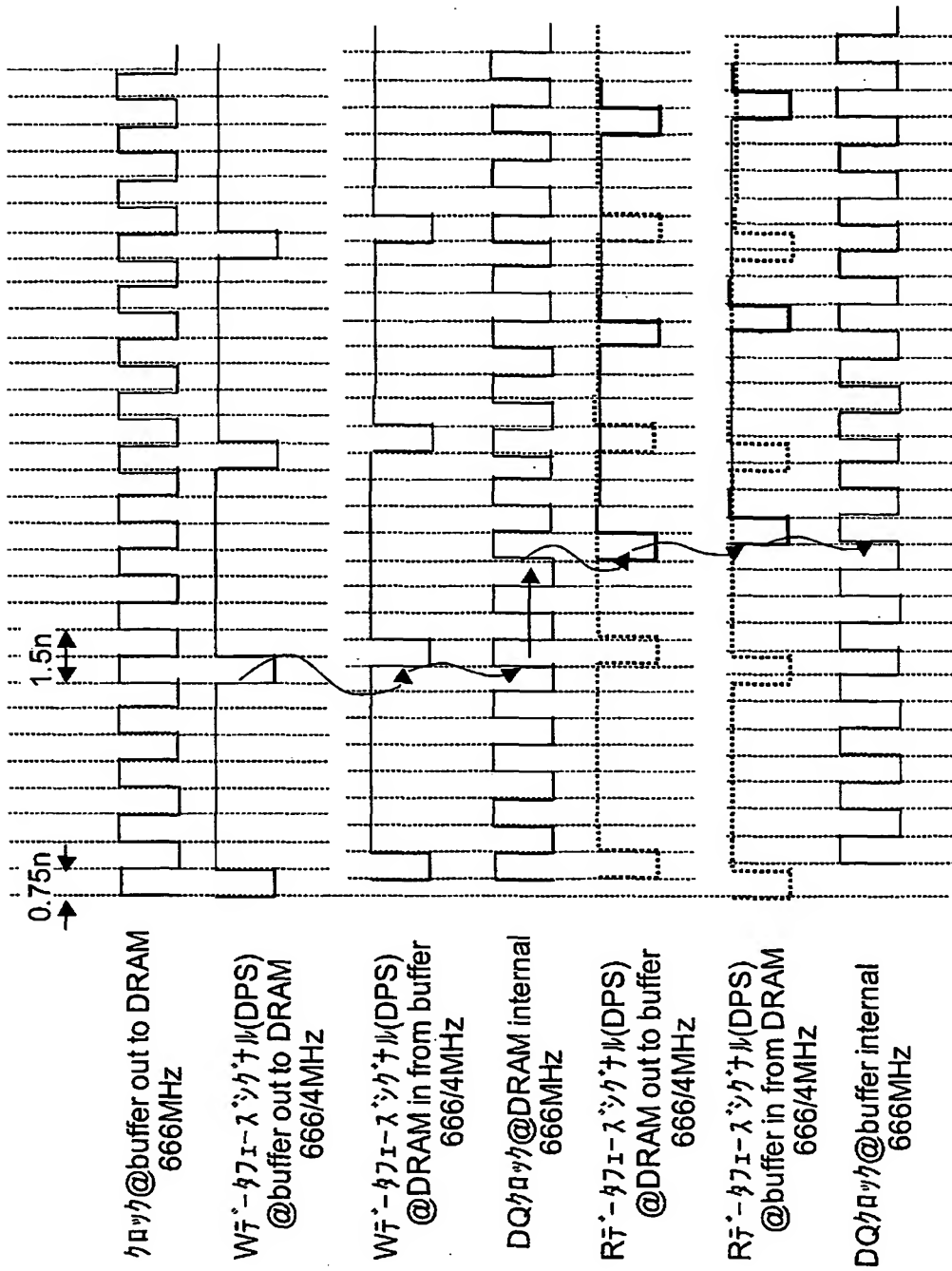
【図 20】



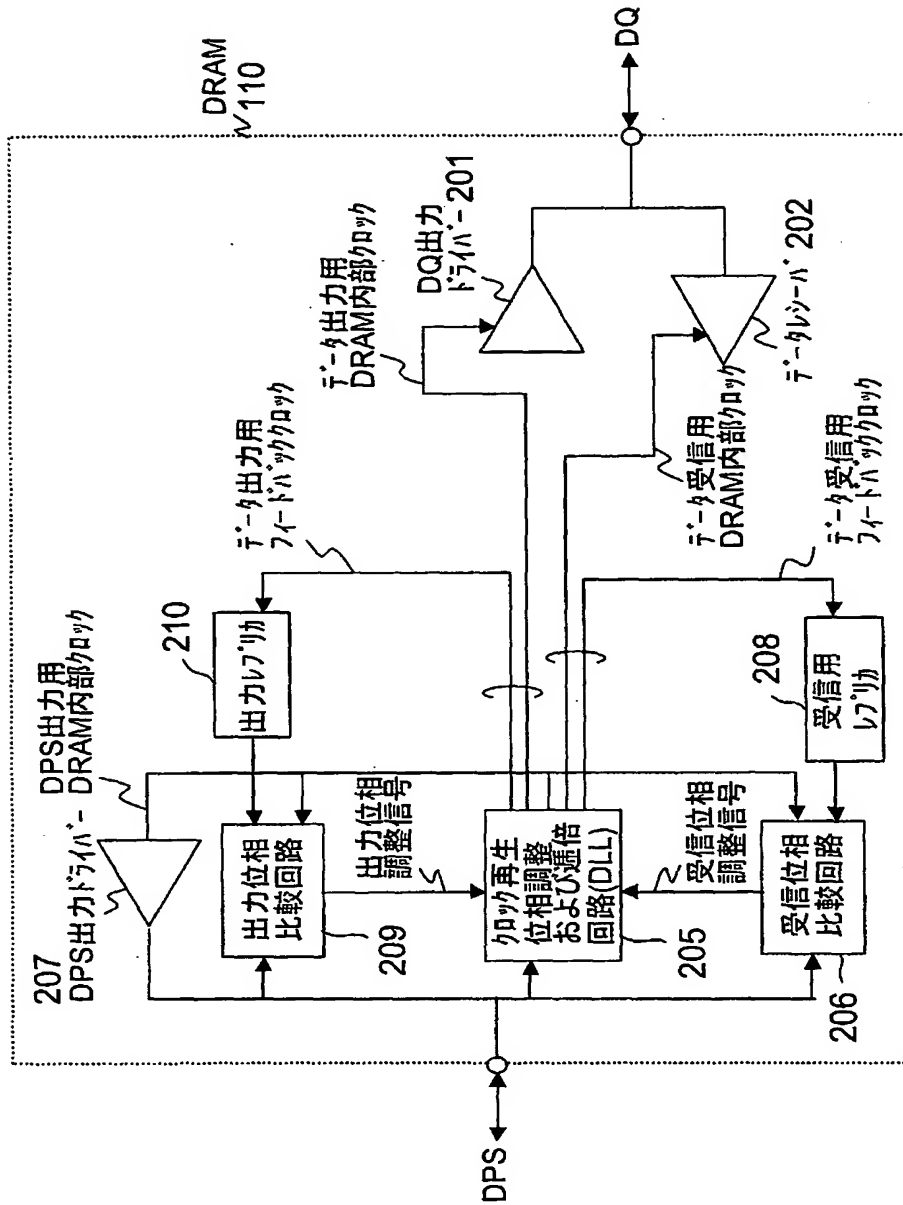
【図 21】



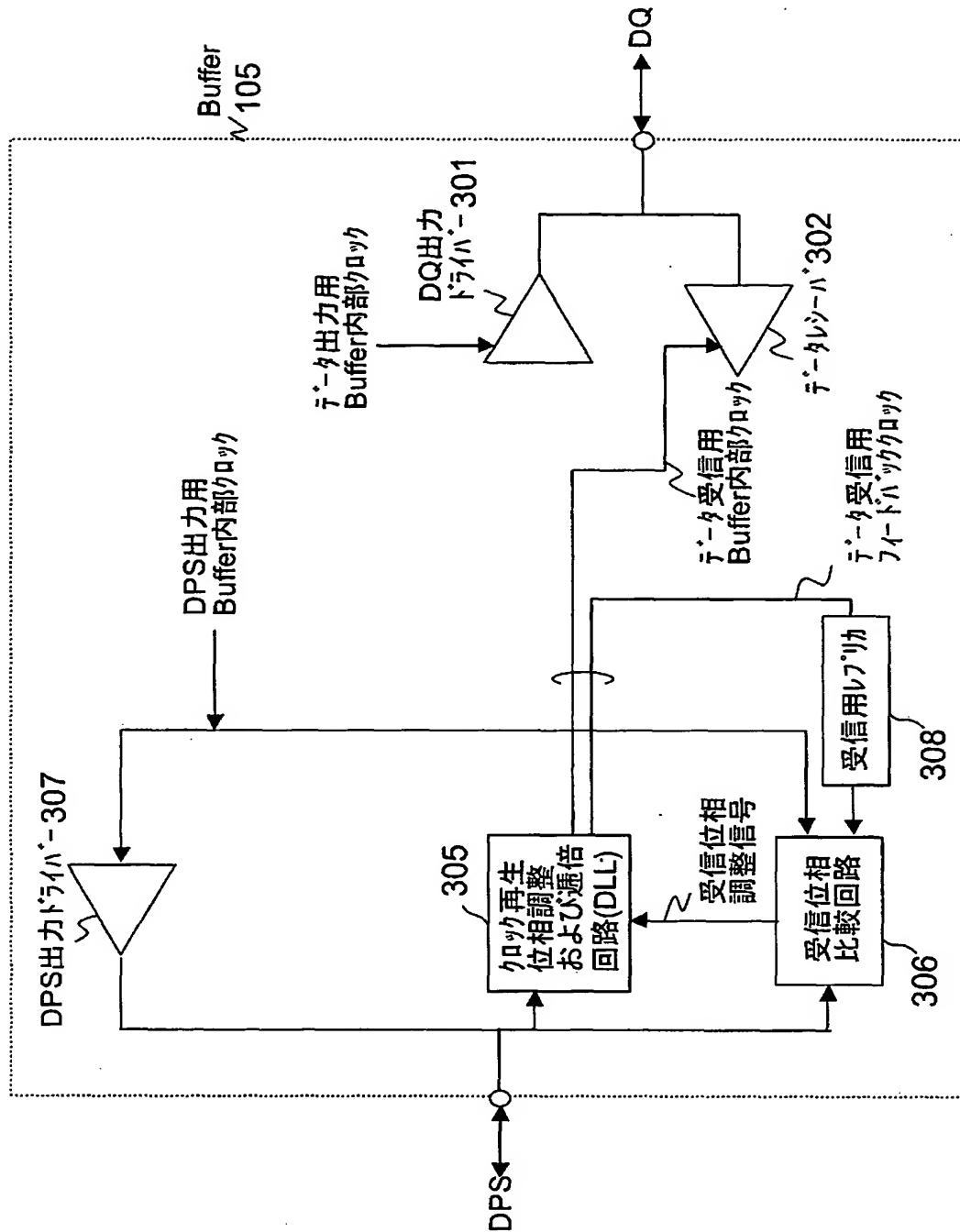
【図 22】



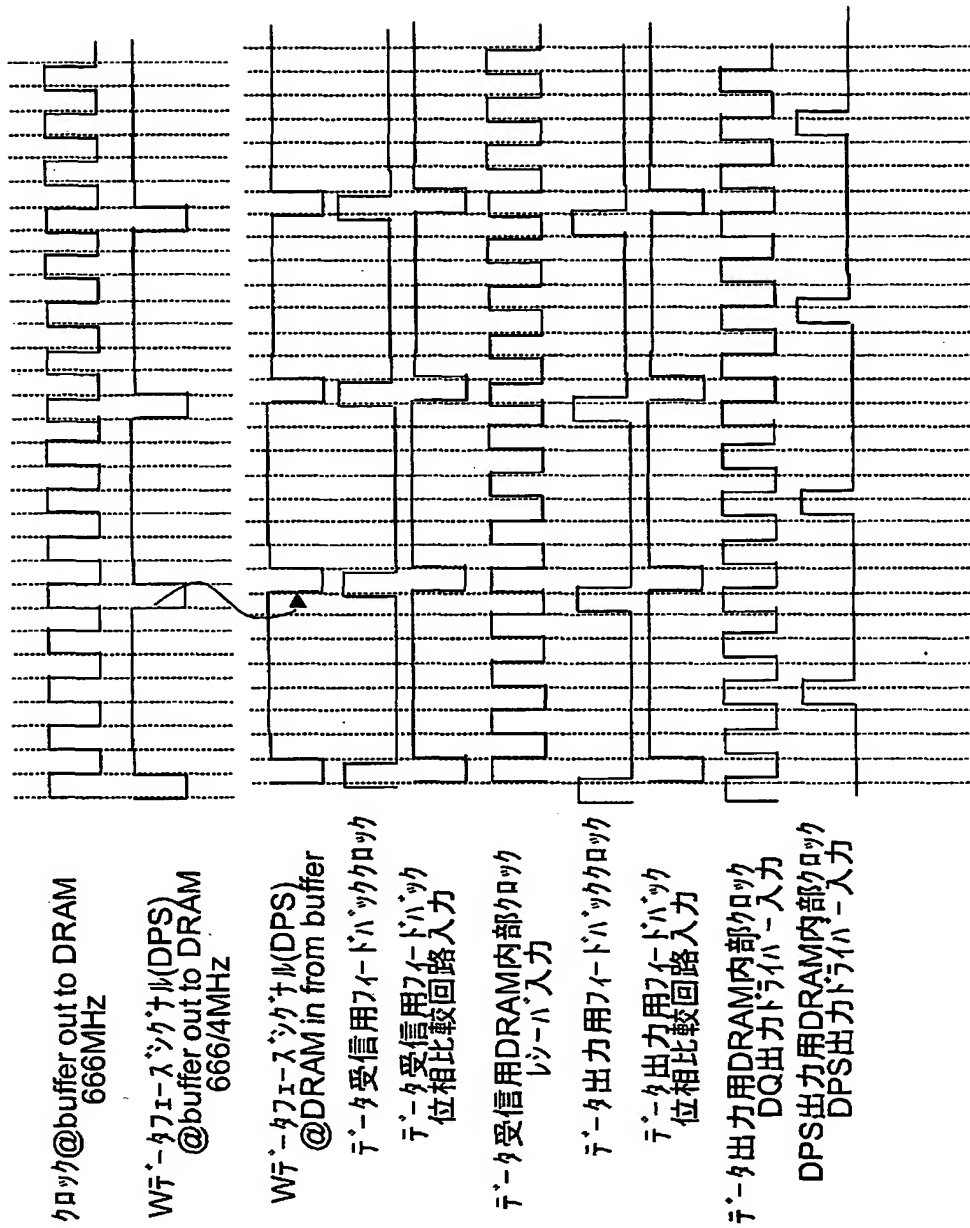
【図 23】



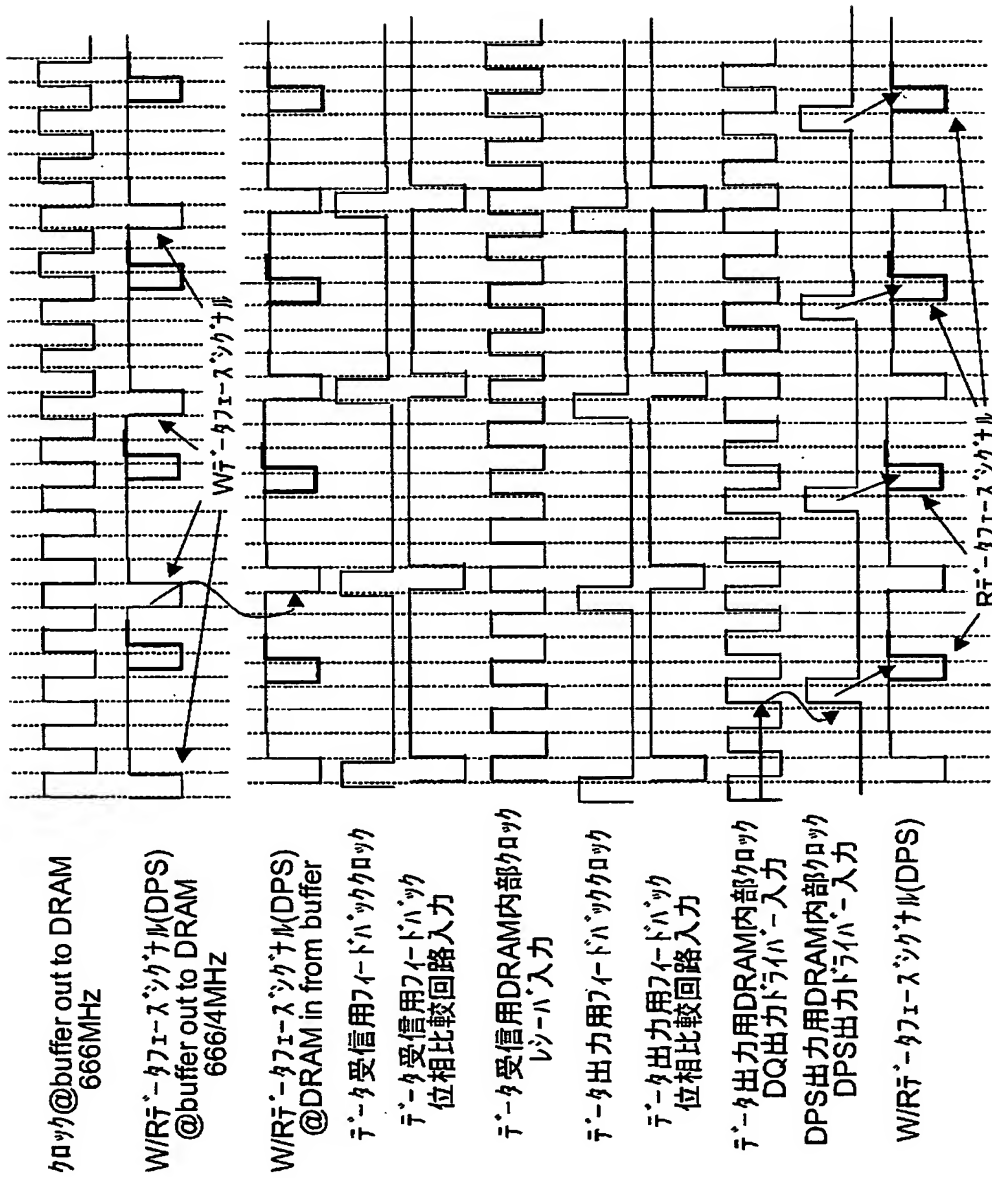
【図 24】



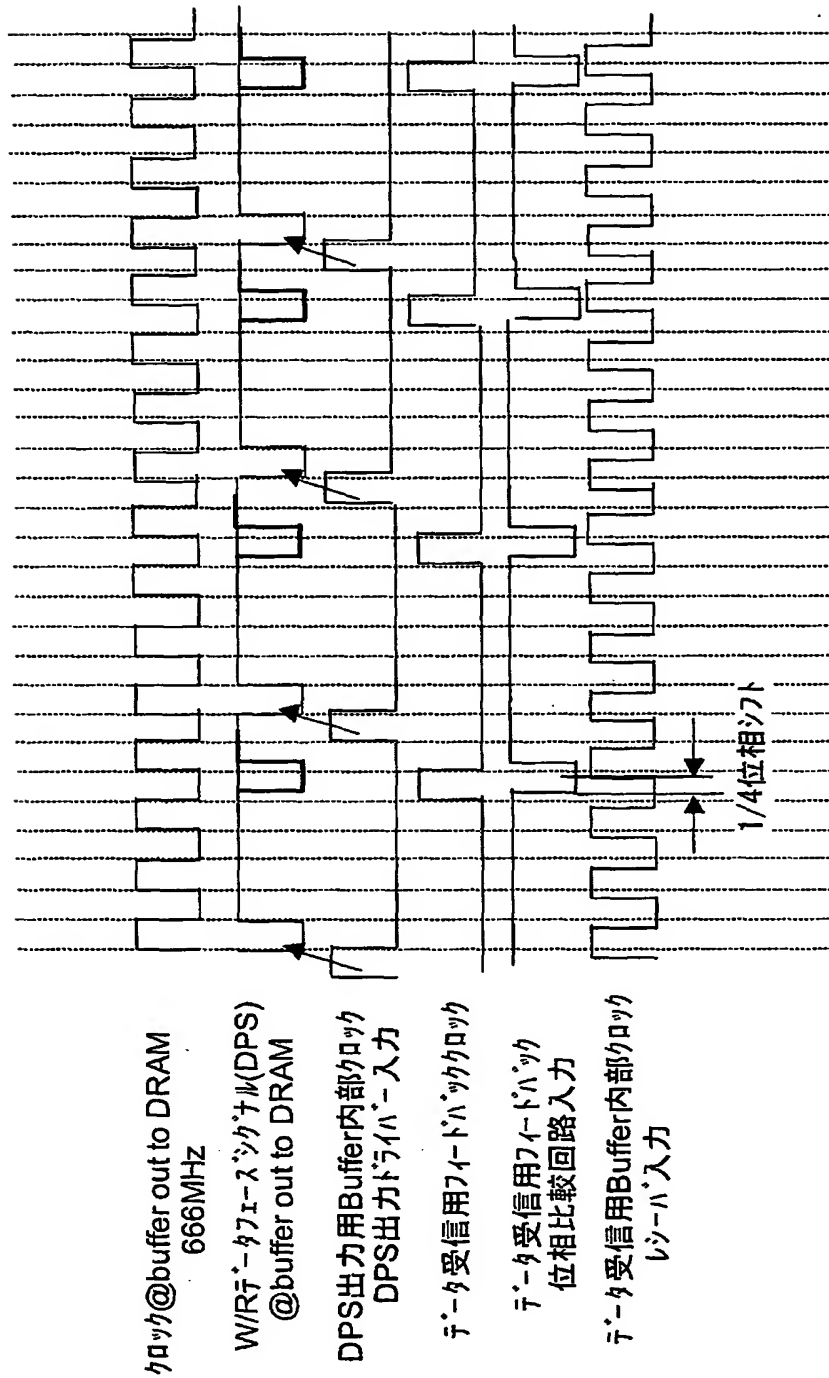
【図 25】



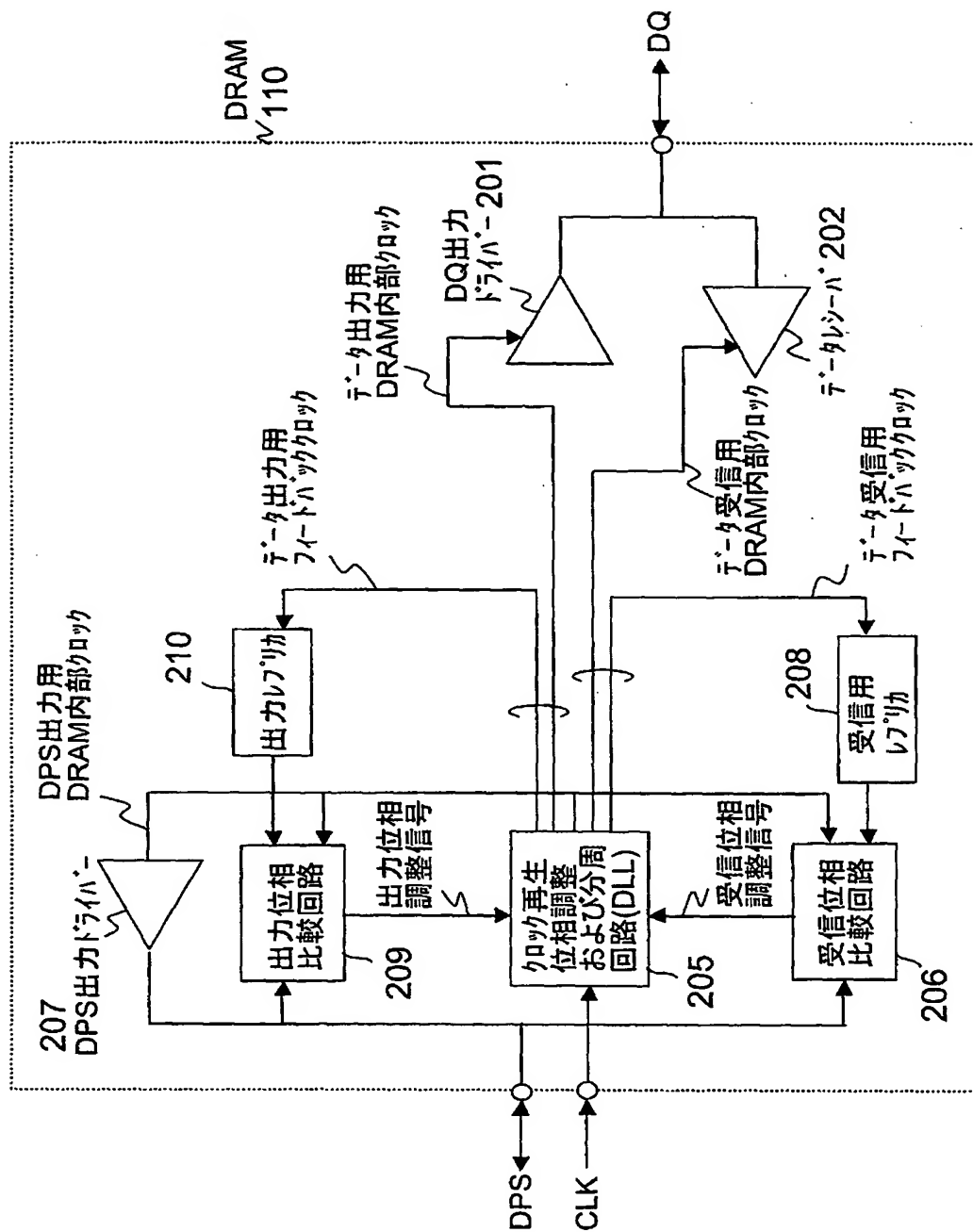
【図 26】



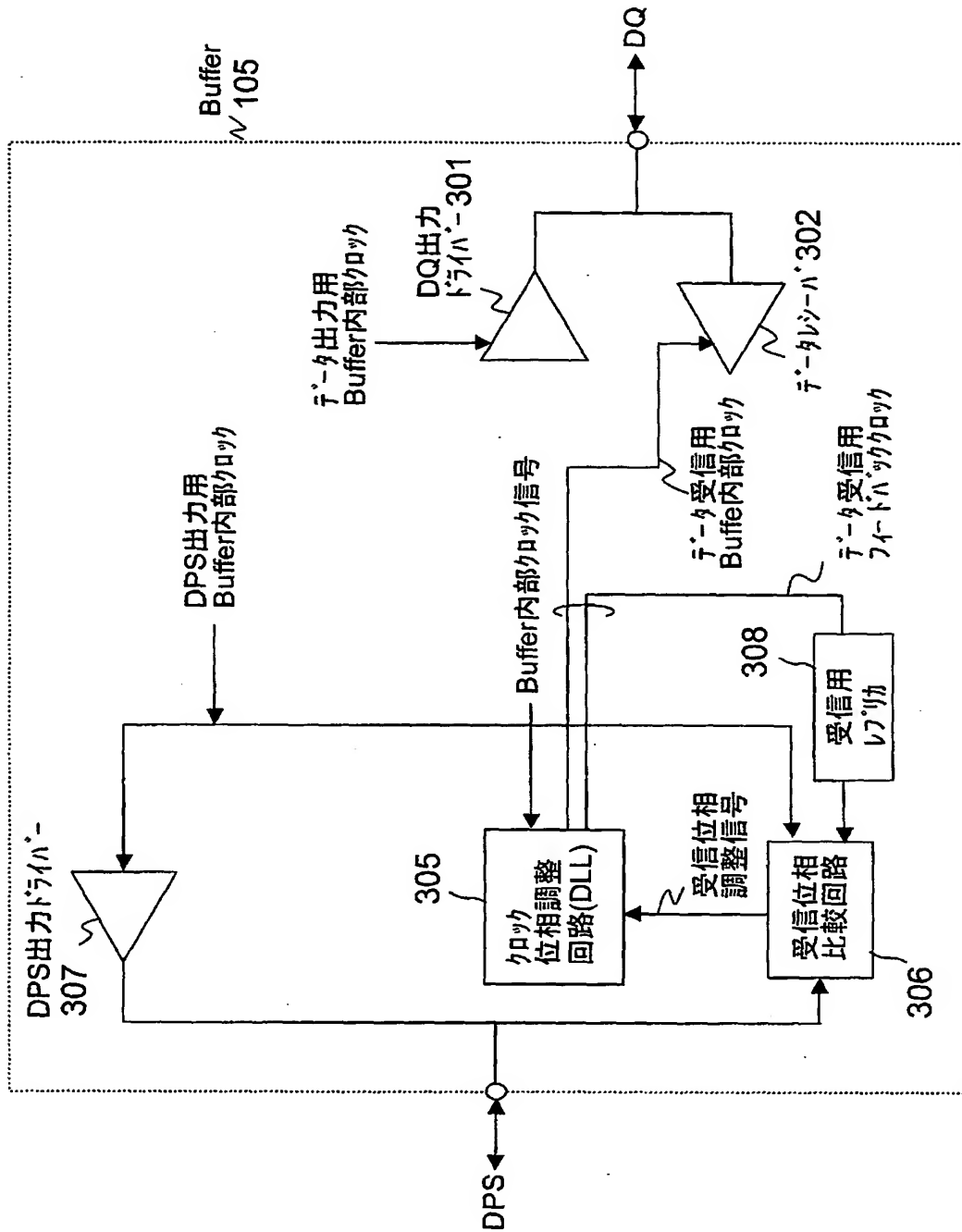
【図 27】



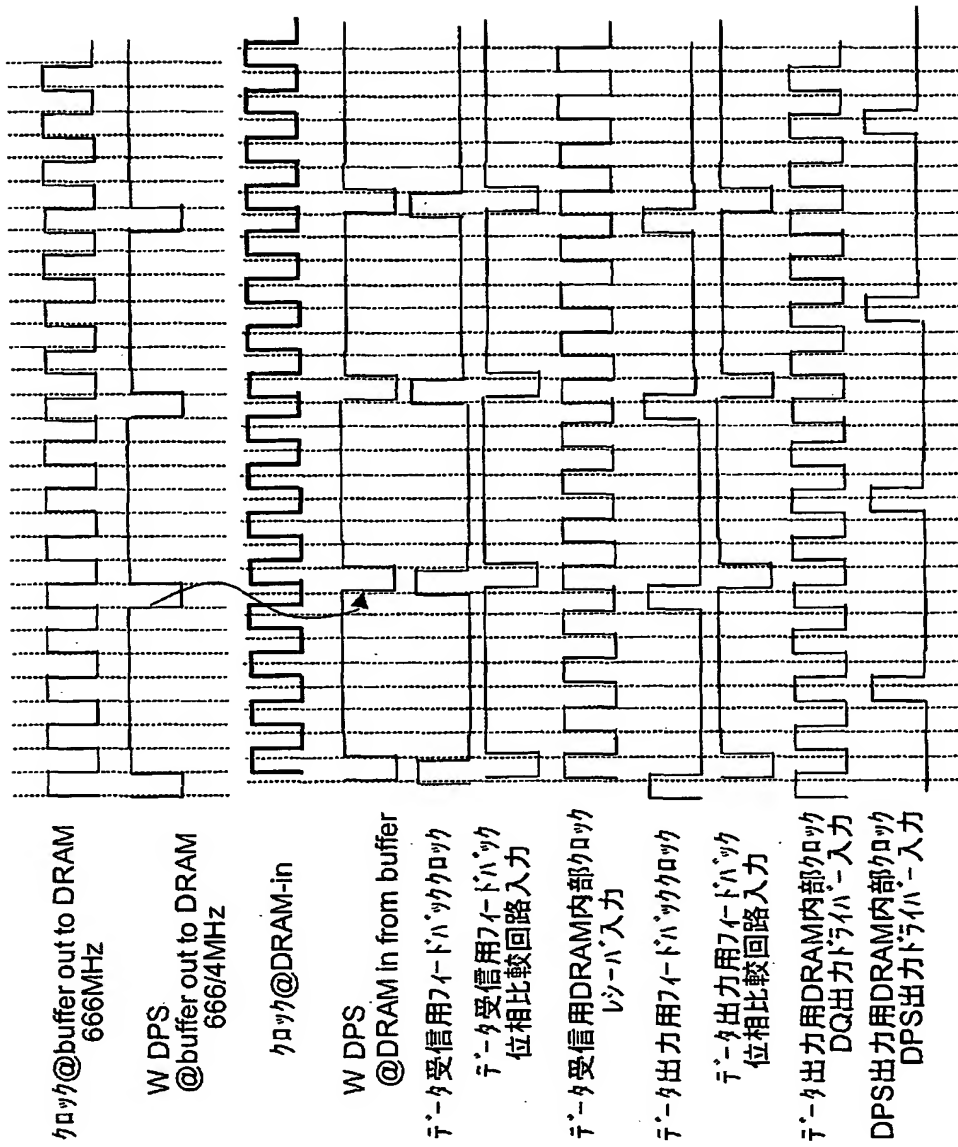
【図 28】



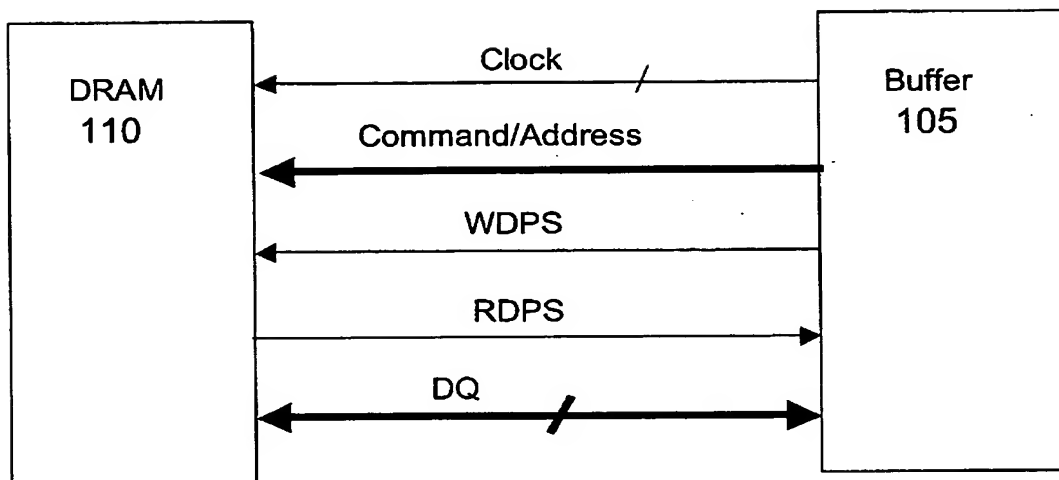
【図 29】



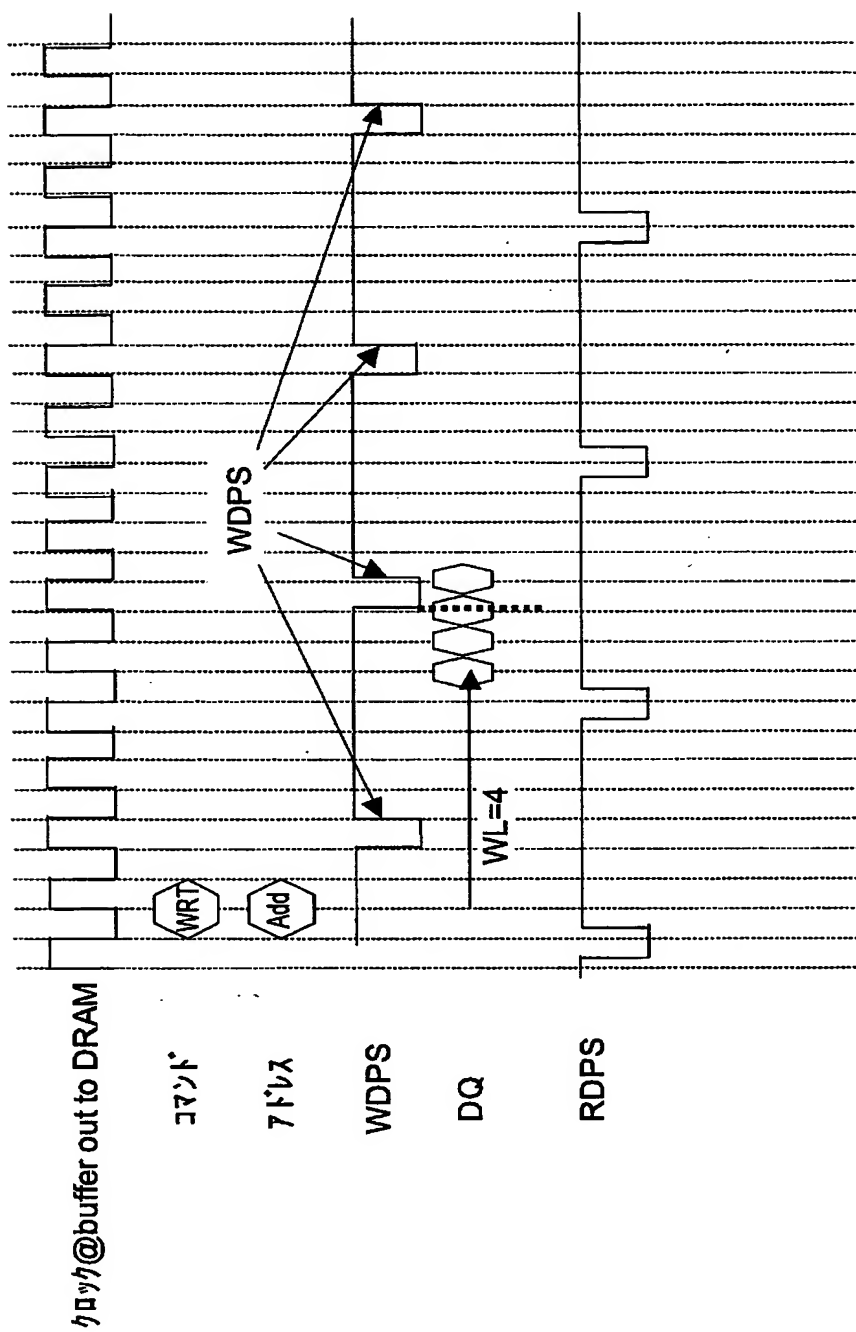
【図 30】



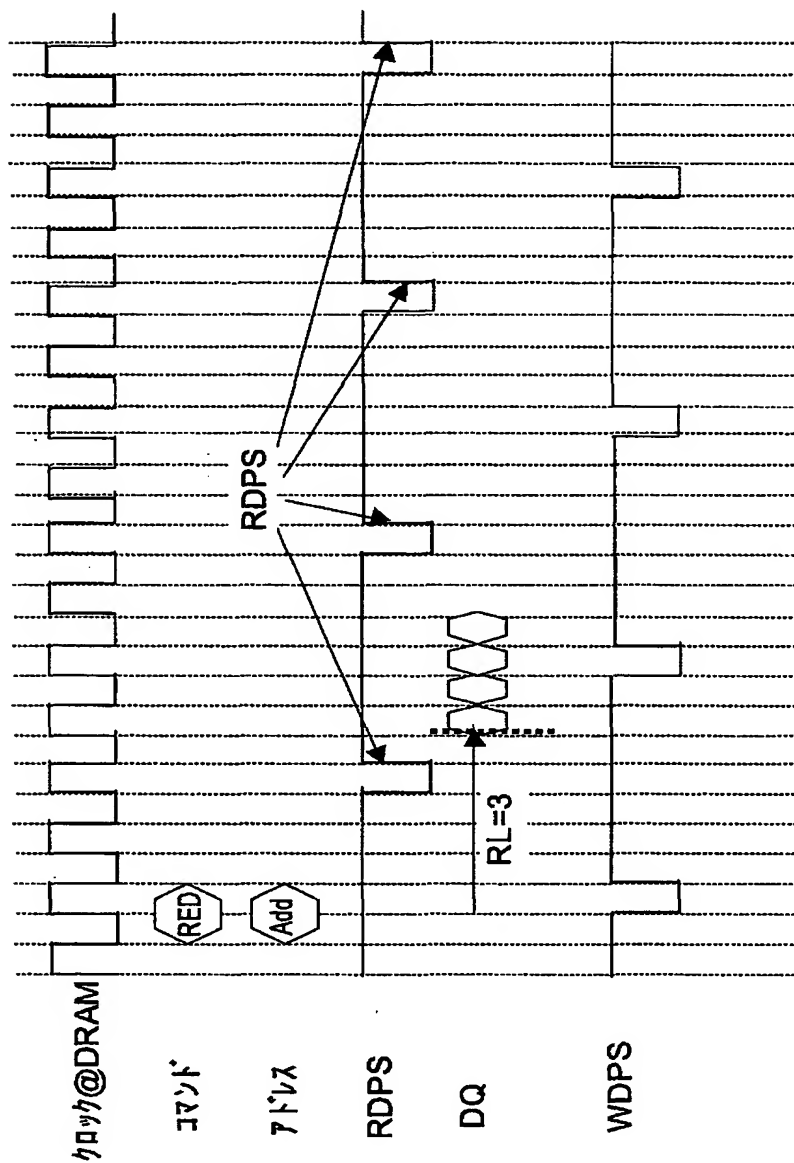
【図 3 1】



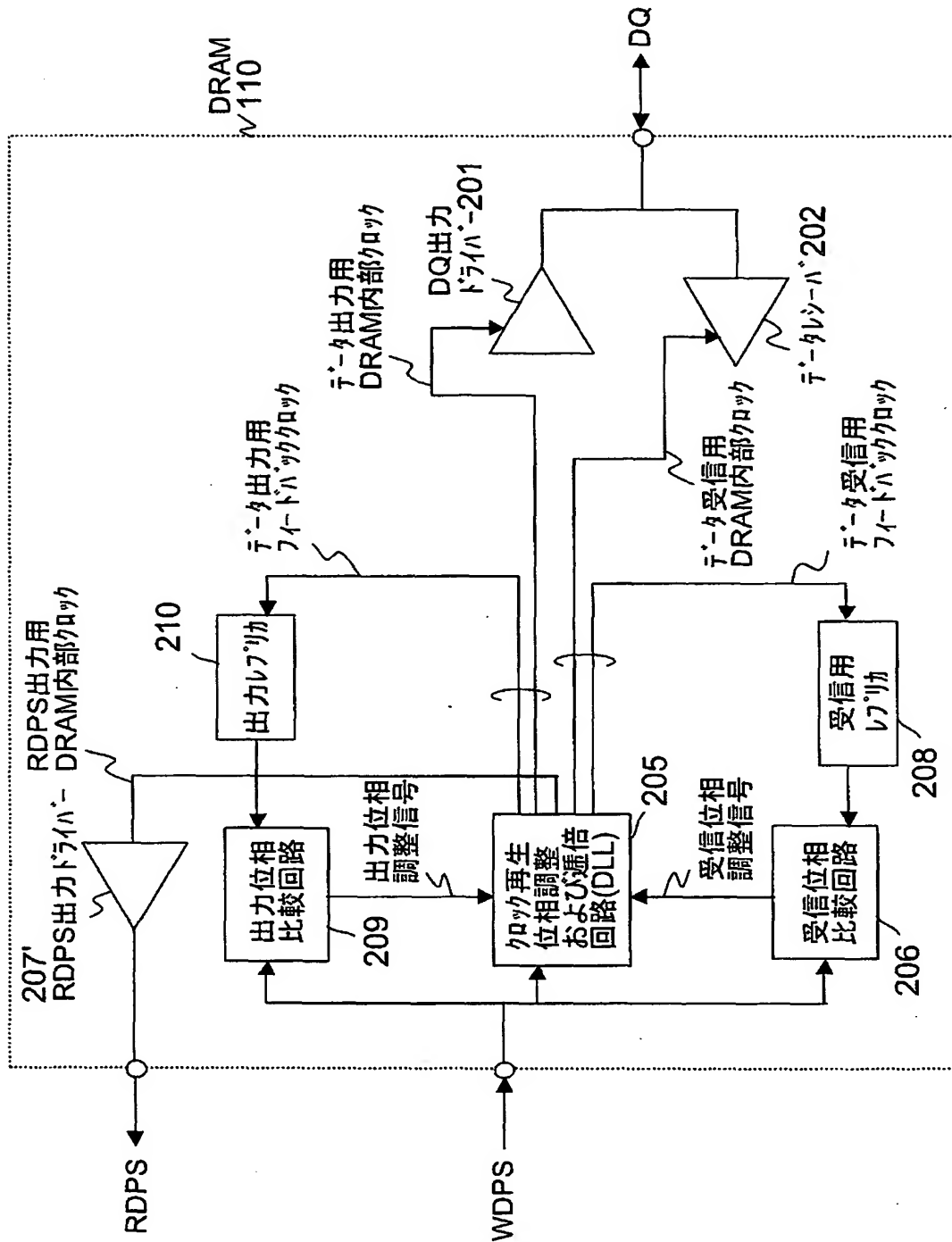
【図 32】



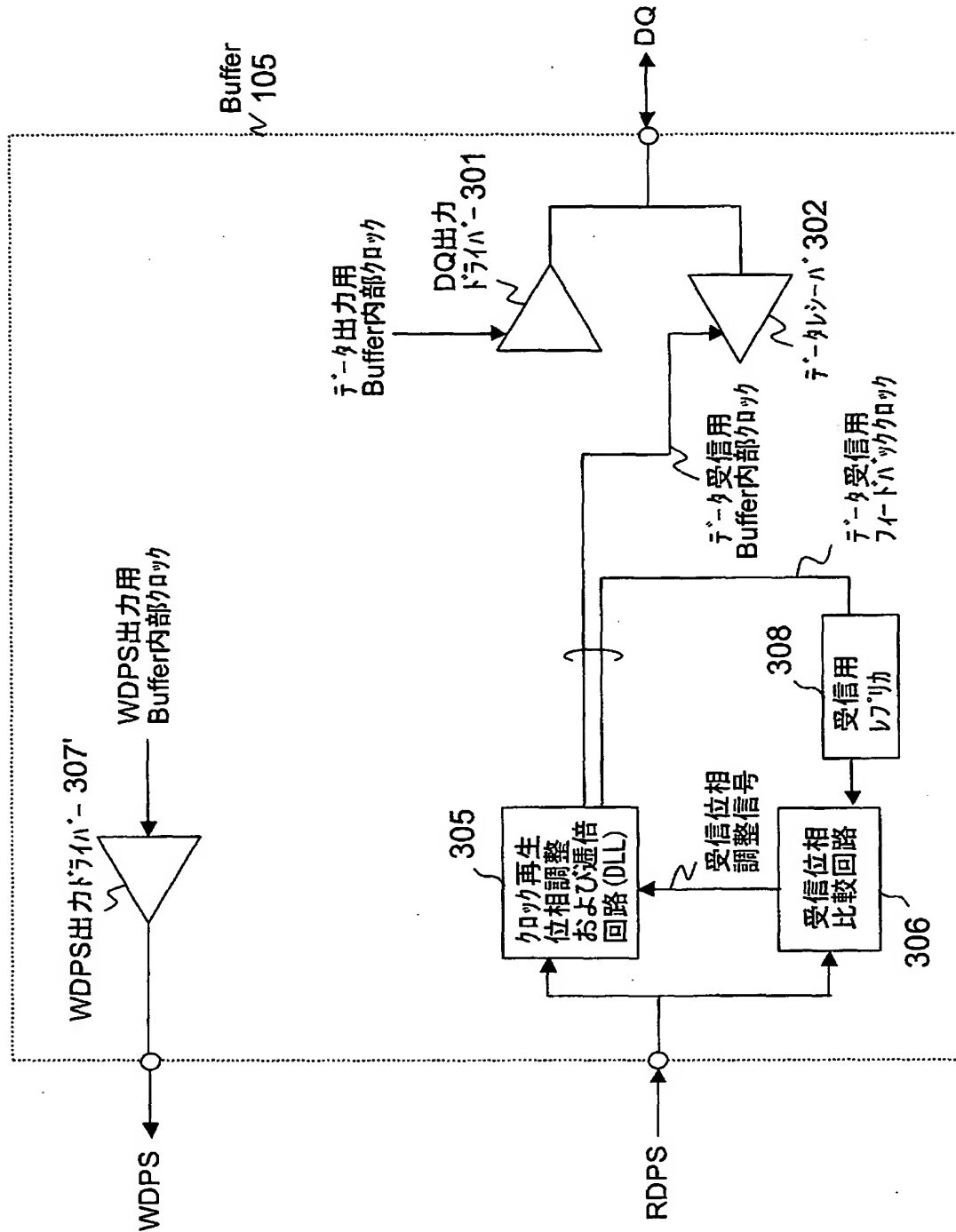
【図 33】



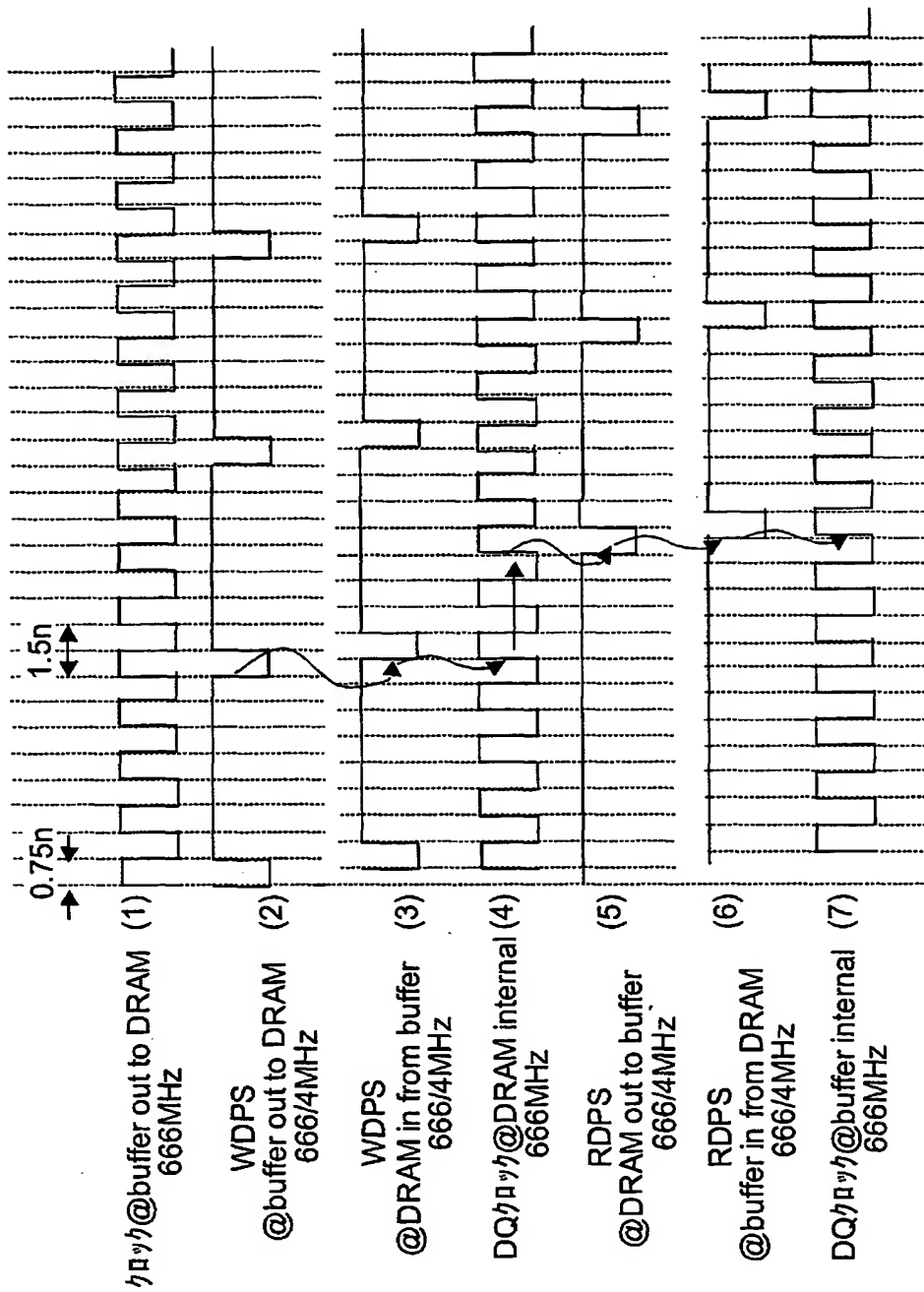
【図34】



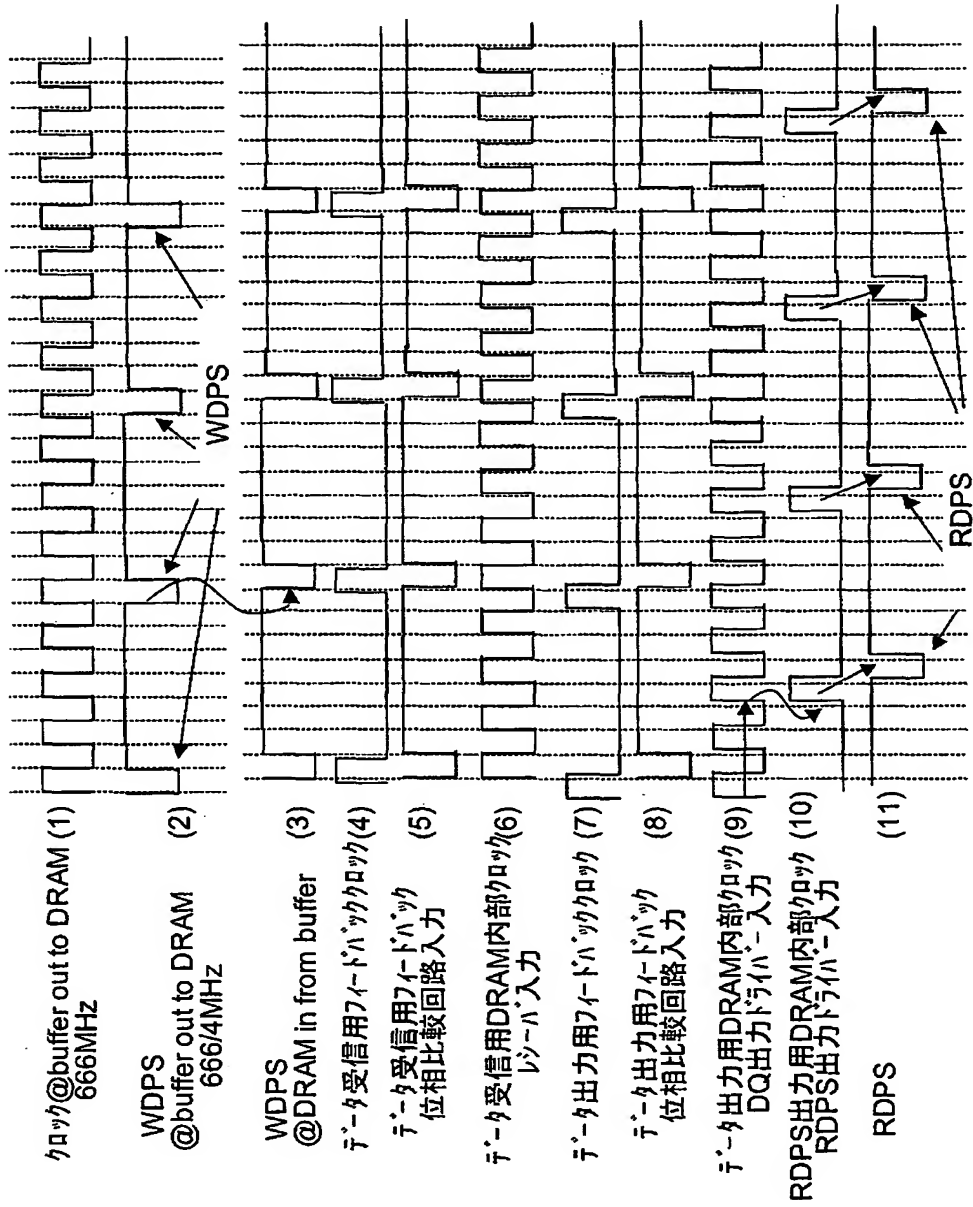
【図 35】



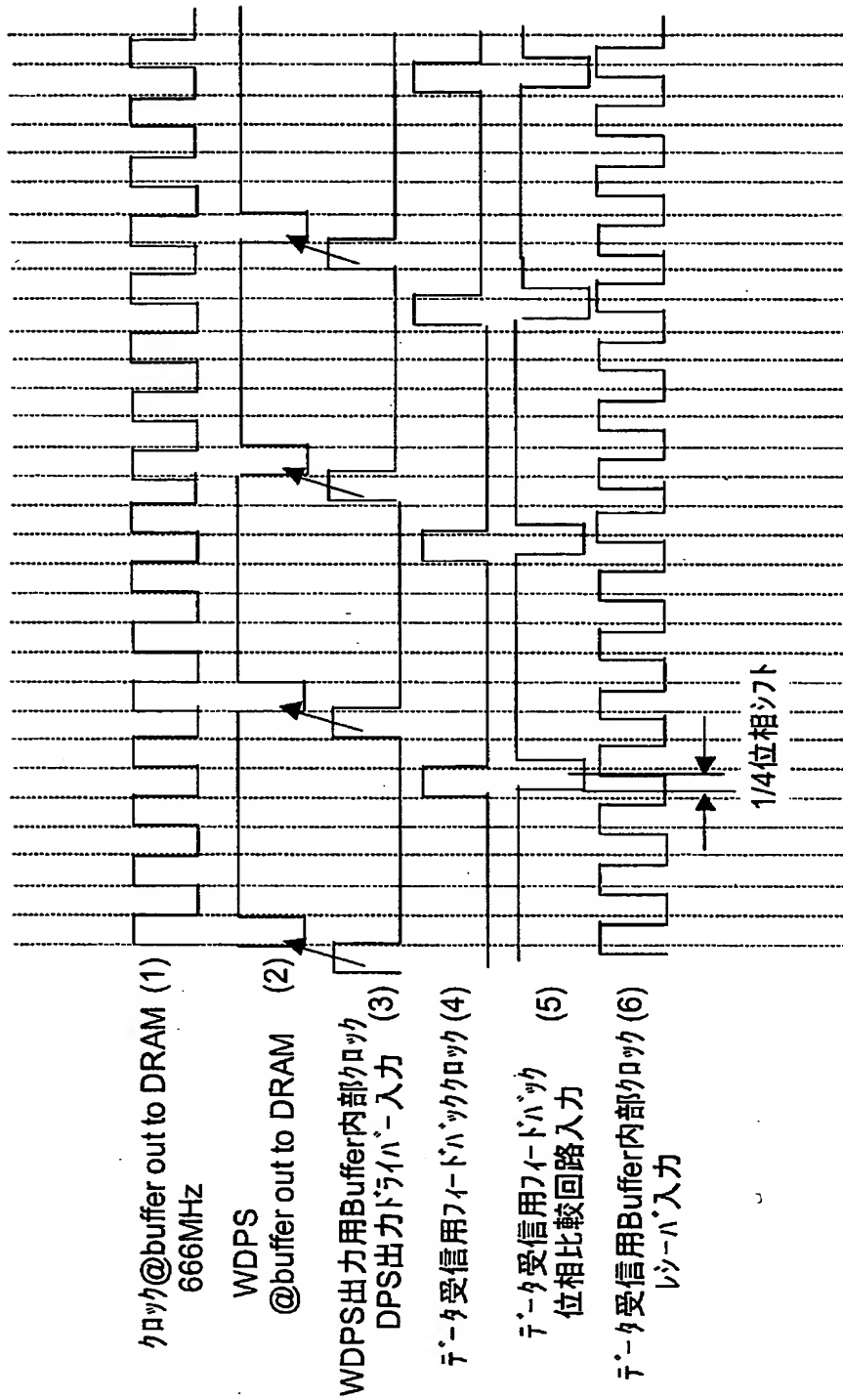
【図 36】



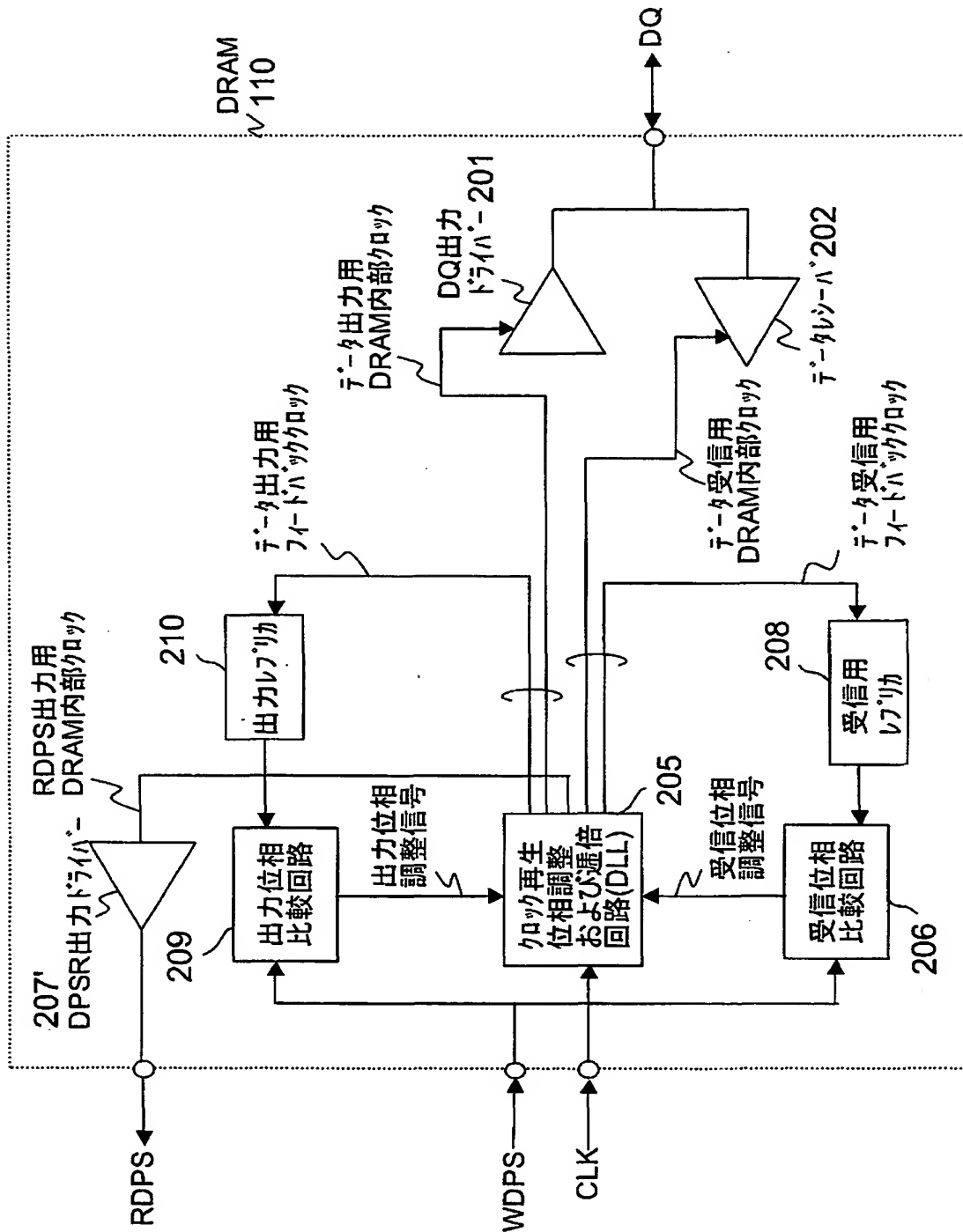
【図 37】



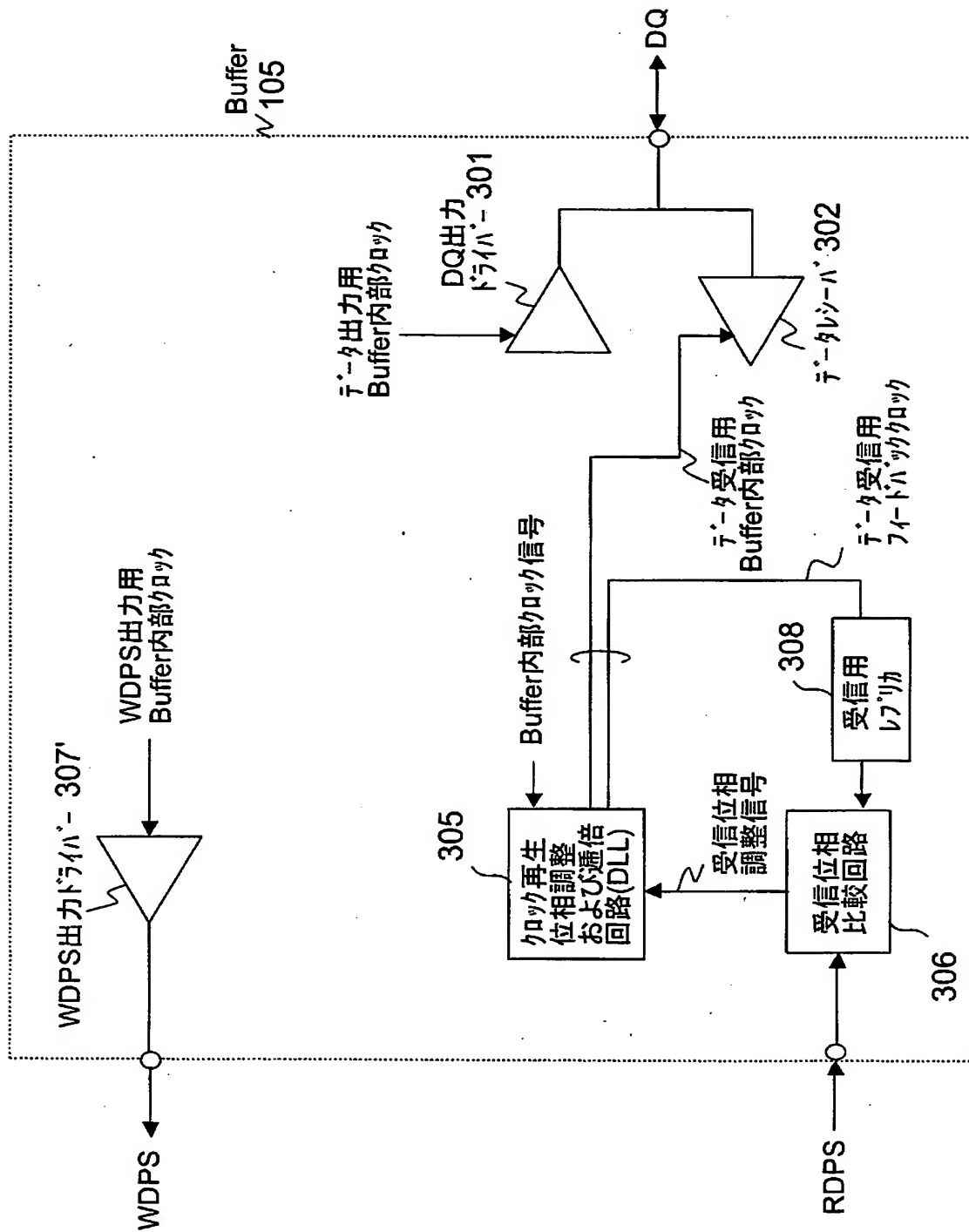
【図 38】



【図 39】



【図 40】



【書類名】 要約書

【要約】

【課題】 メモリコントローラと、メモリモジュールとの間の各種配線における分岐及びインピーダンスミスマッチによる反射信号等による影響、メモリモジュール内におけるデータ、コマンド・アドレス、クロックの伝送遅延による影響等を軽減することによって、高速動作を実現できるメモリシステムを提供する。

【解決手段】 メモリコントローラと、DRAMを搭載したメモリモジュールとを備えたメモリシステムにおいて、メモリモジュール上にバッファを搭載し、このバッファとメモリコントローラとをデータ配線、コマンド・アドレス配線、及び、クロック配線によって接続し、メモリモジュール上のDRAMとバッファとを内部データ配線、内部コマンド・アドレス配線、及び、内部クロック配線によって接続した構成を有する。データ配線、コマンド・アドレス配線、及び、クロック配線は他のメモリモジュールのバッファとカスケードに接続されても良い。メモリモジュール上のDRAMとバッファとの間では、クロックに同期したデータフェーズ信号を使用して、高速でデータ伝送が行われる。

【選択図】 図1

特願 2 0 0 2 - 2 4 4 3 2 2

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1. 変更年月日
[変更理由]

2 0 0 0 年 7 月 1 2 日
名称変更

住 所
氏 名

東京都中央区八重洲 2 - 2 - 1
エルピーダメモリ株式会社